

電子回路 I

第4回

講義内容

1. 半導体素子(ダイオードとトランジスタ)
2. 基本回路
3. 増幅回路

電界効果トランジスタ(FET)

- 基本構造
- 基本動作
 動作原理
- 静特性

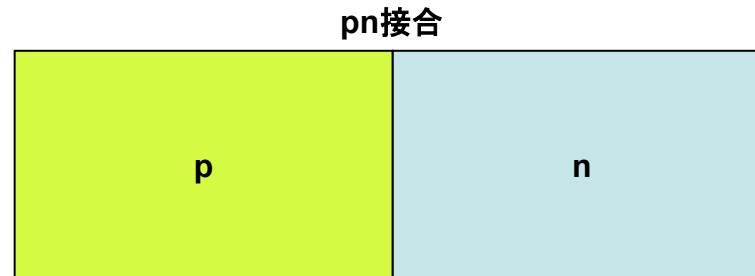
半導体素子(ダイオードとトランジスタ)

ダイオード(2端子素子)

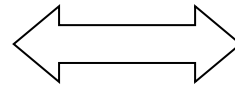
トランジスタ(3端子素子)

- ・ バイポーラトランジスタ (Bipolar)
- ・ 電界効果トランジスタ (FET)
 - ・ 接合形 (JFET)
 - ・ MOS形 (MOSFET)

pn接合

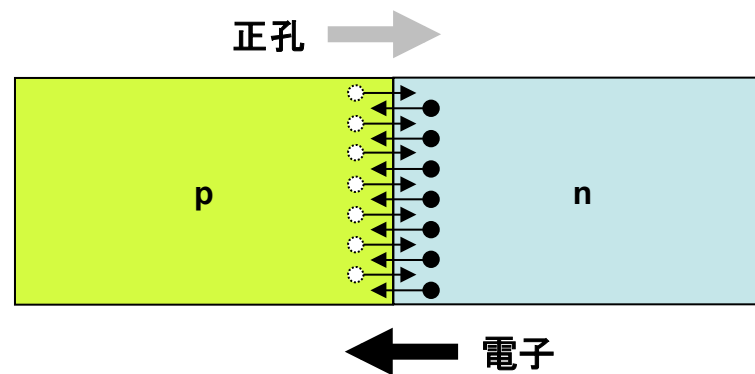


電子の数 < 正孔の数	電子の数 > 正孔の数
多数キャリア: 正孔	多数キャリア: 電子
少数キャリア: 電子	少数キャリア: 正孔



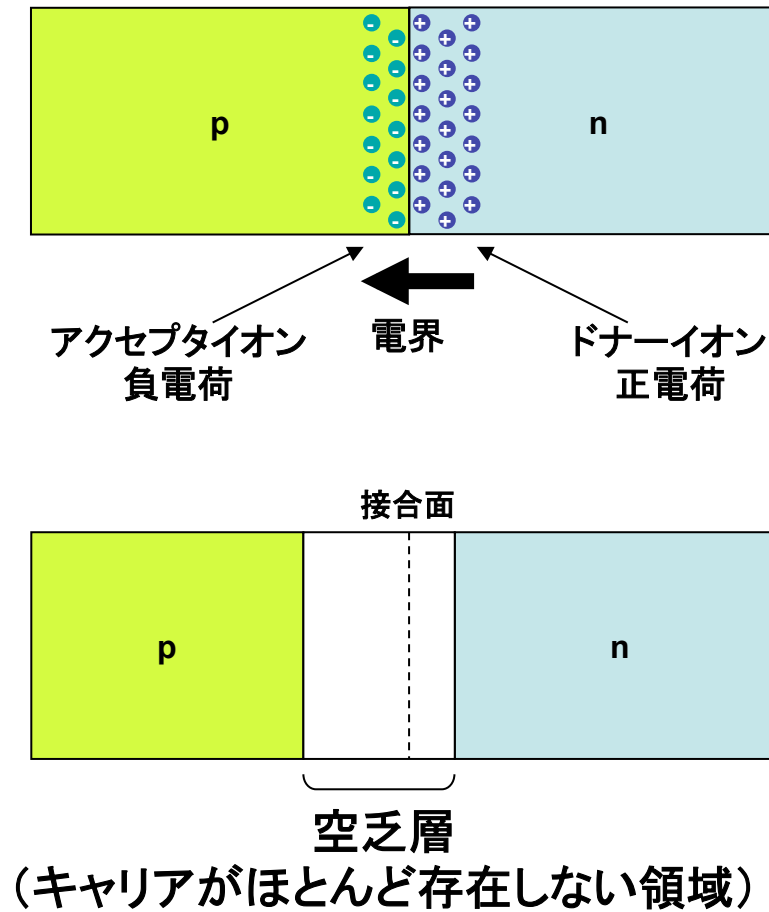
キャリア濃度差

拡散によりキャリアが移動



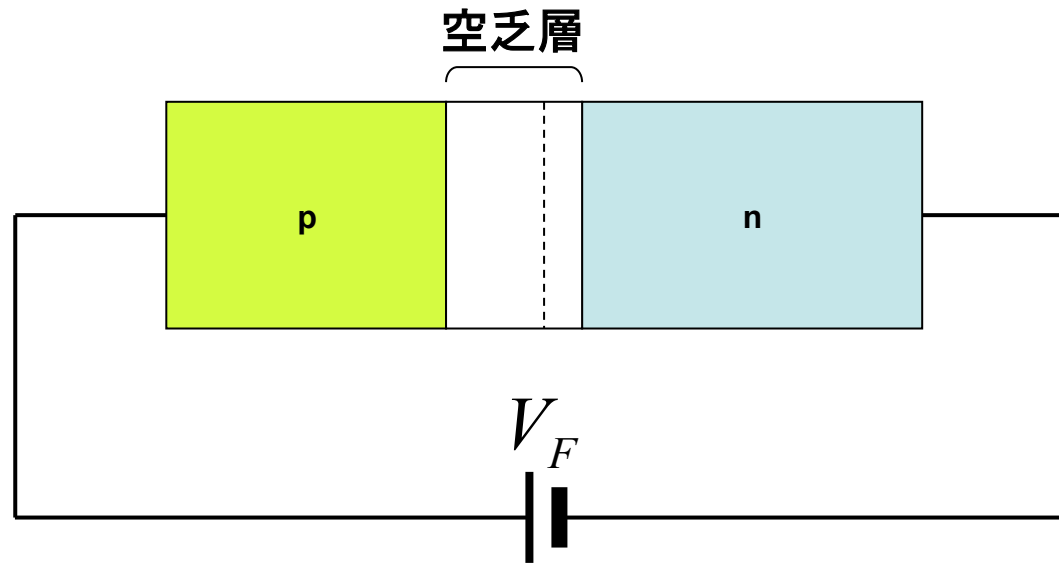
空乏層

※ アクセプタイオンやドナーイオンは固定されており、移動できない。

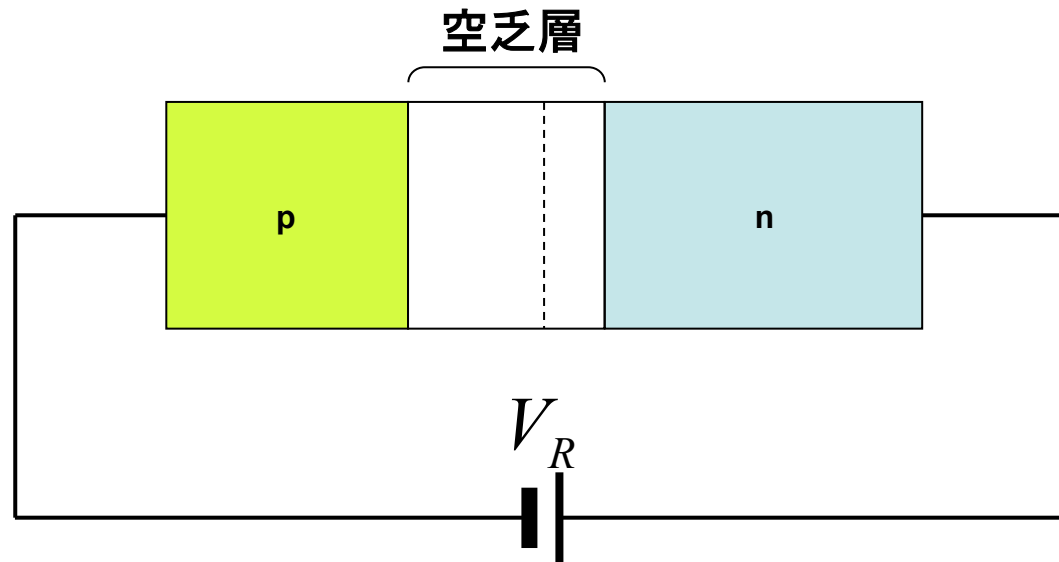


pn接合とバイアス電圧

順方向電圧



逆方向電圧



トランジスタ

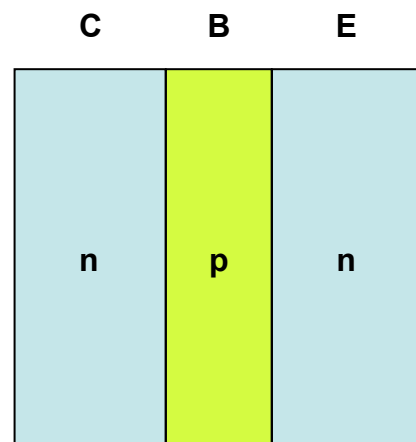
バイポーラトランジスタ (Bipolar)

電界効果トランジスタ (FET)

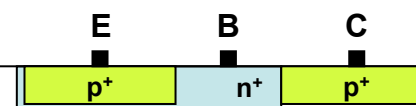
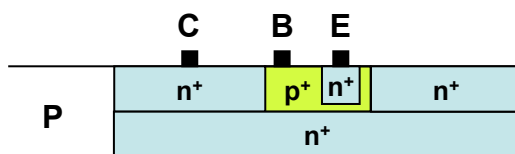
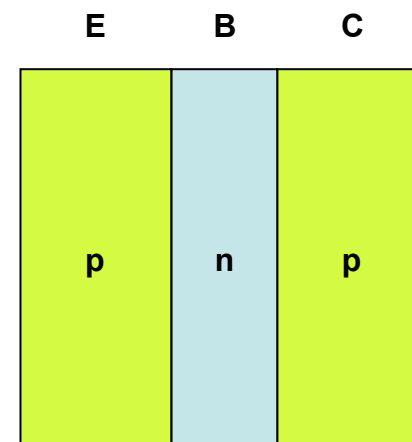
- ・ 接合形 (JFET)
- ・ MOS形 (MOSFET)

バイポーラトランジスタの構造

nnp型



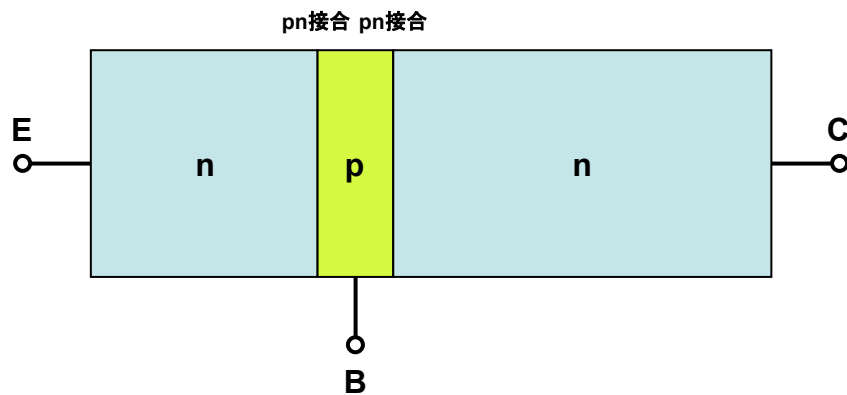
pnnp型



基板

バイポーラトランジスタの構造

npn形トランジスタ

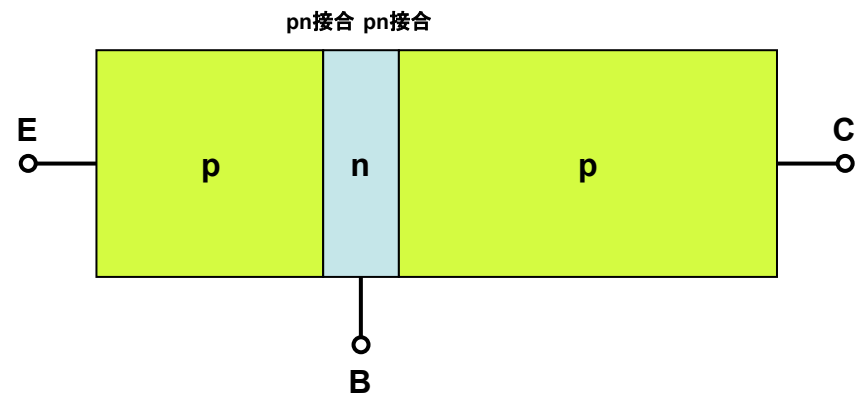


不純物のドーズ量

$$N_{DE} > N_{AB} > N_{DC}$$

ベースは非常に薄く形成される

pnp形トランジスタ



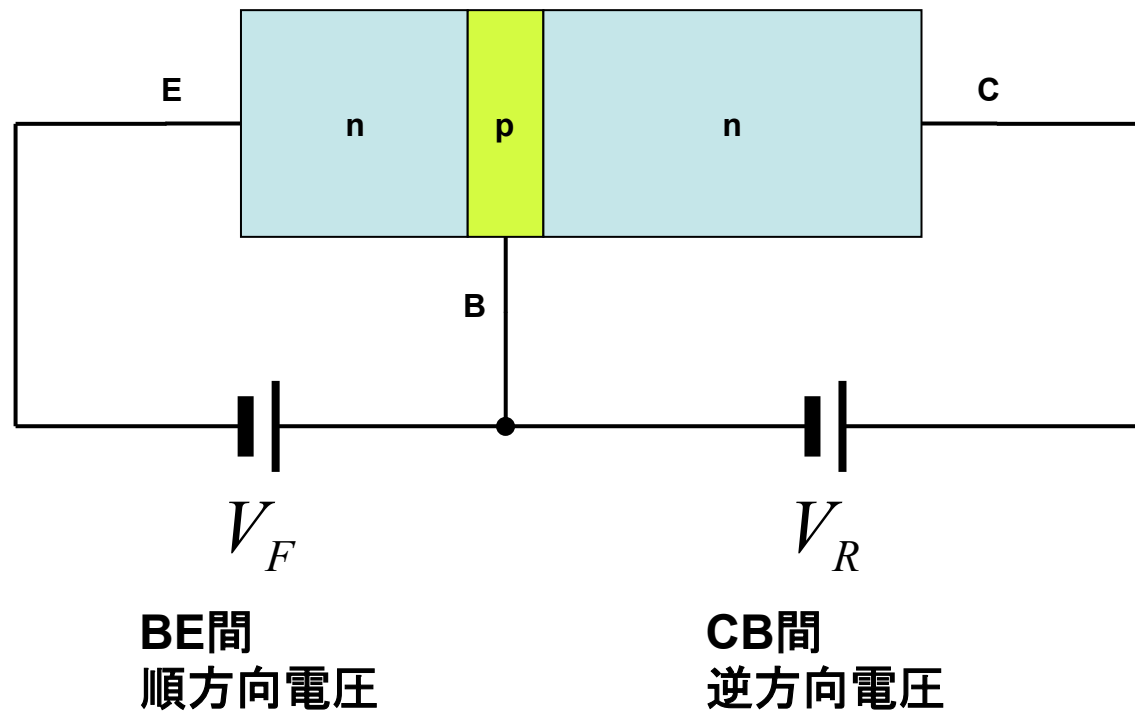
不純物のドーズ量

$$N_{AE} > N_{DB} > N_{AC}$$

ベースは非常に薄く形成される

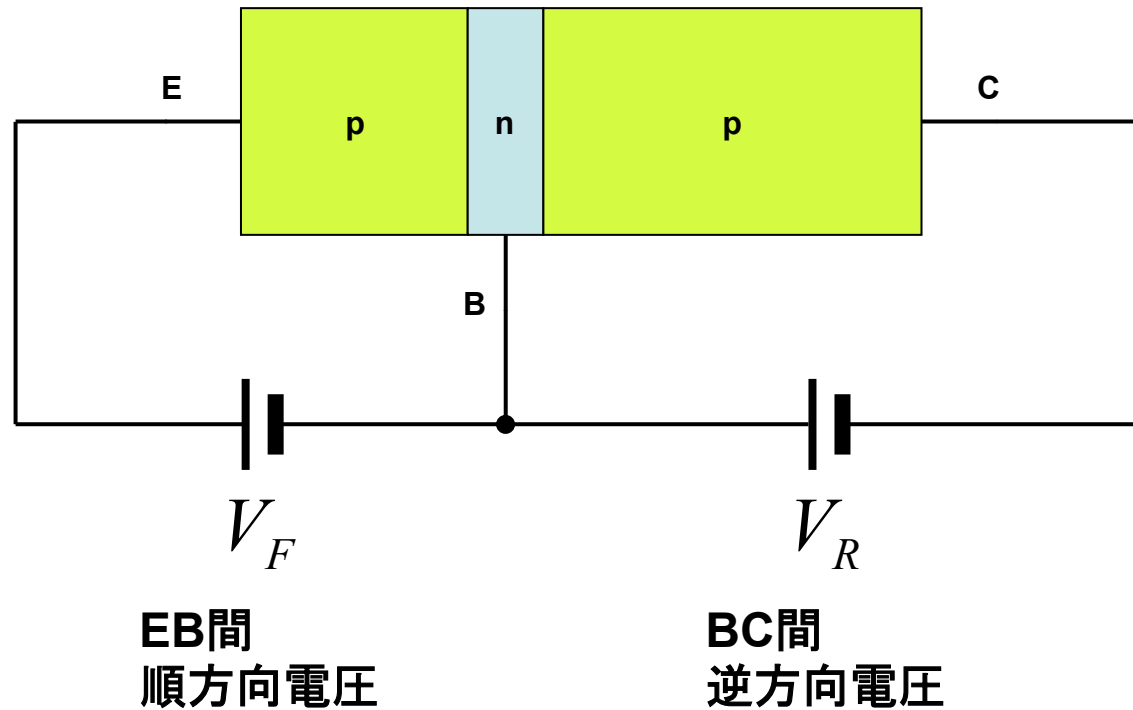
バイポーラトランジスタの基本動作

nnp形トランジスタのバイアス



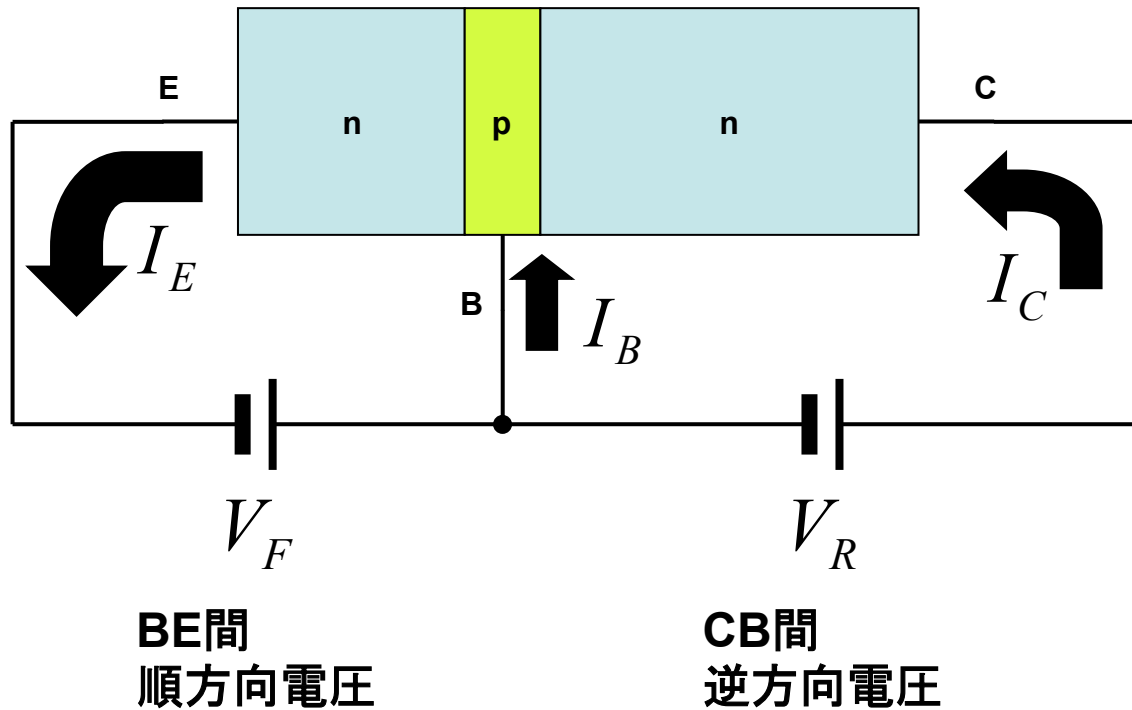
バイポーラトランジスタの基本動作

pnp形トランジスタのバイアス



バイポーラトランジスタの基本動作

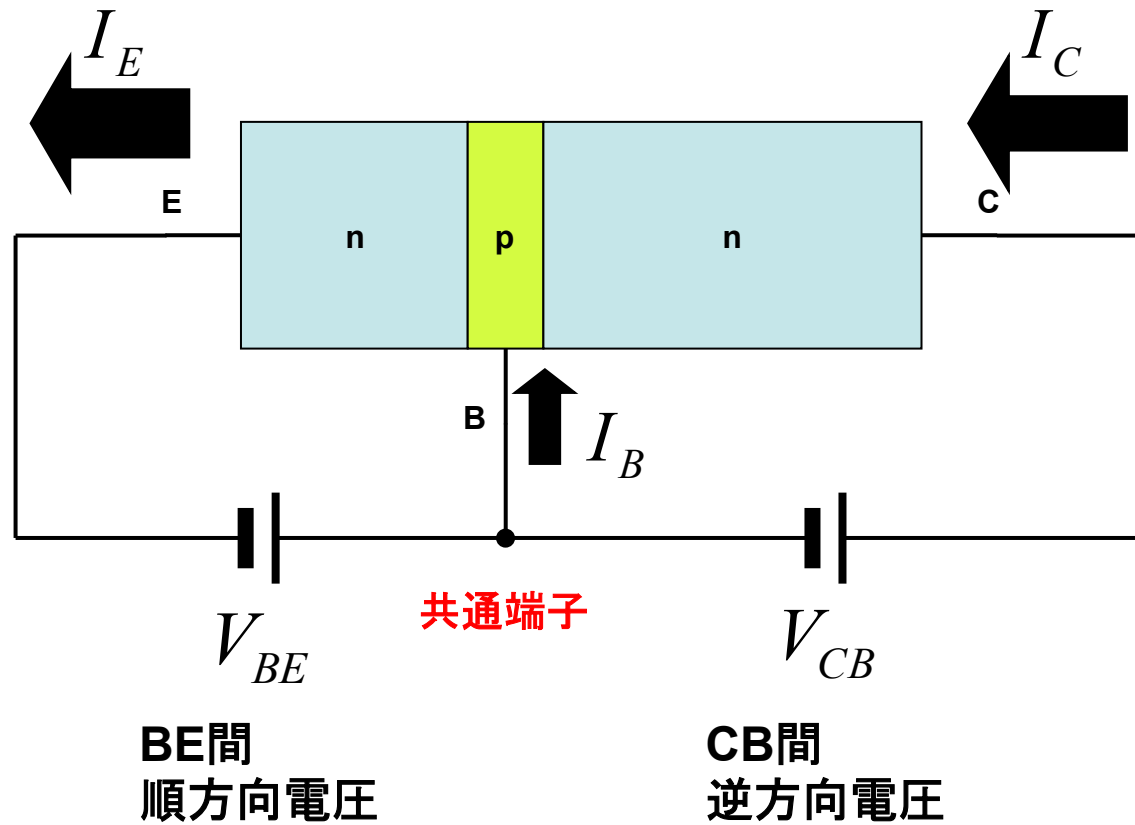
nnp形トランジスタの電流



$$|I_E| = I_B + I_C$$

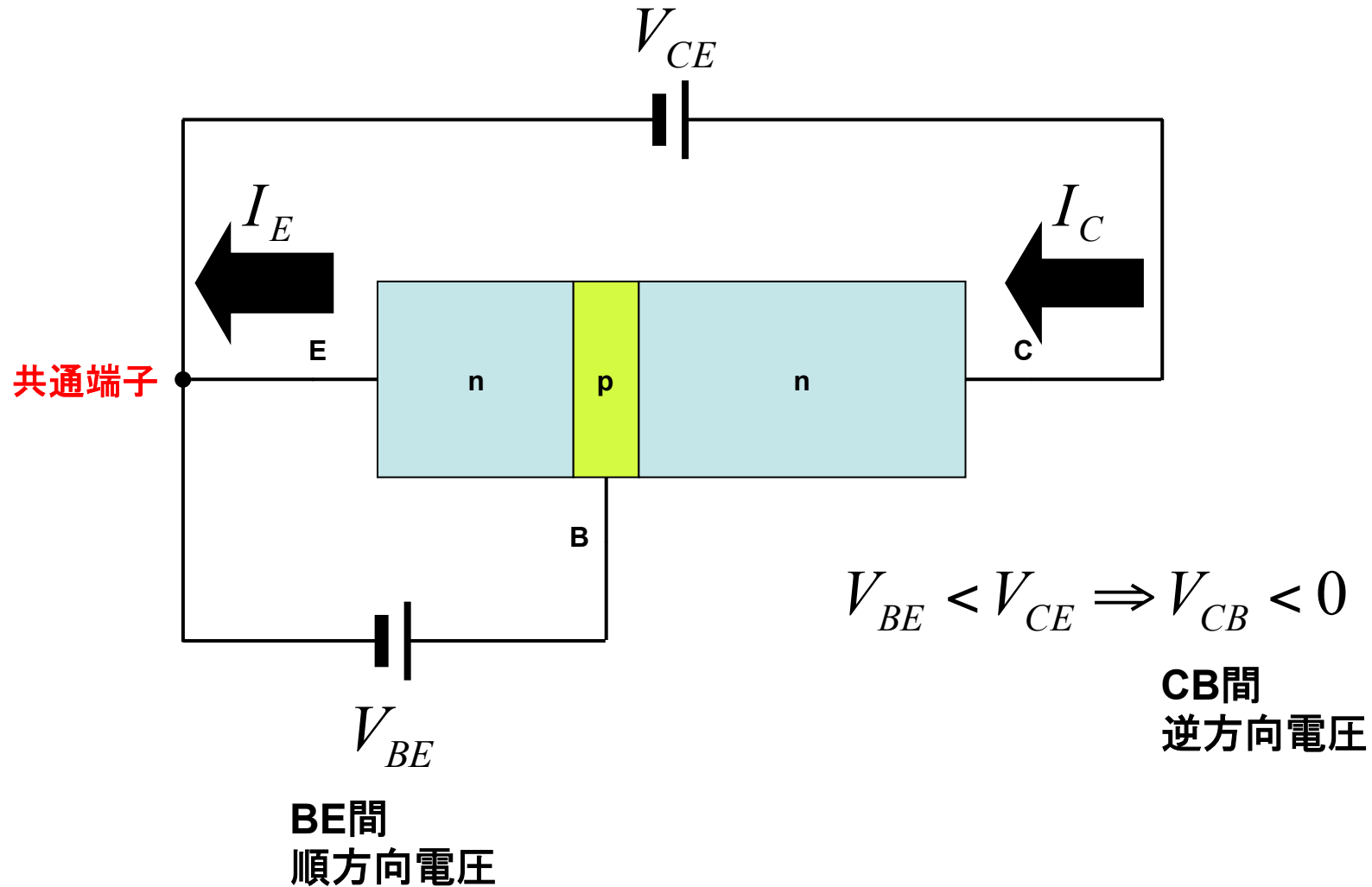
バイポーラトランジスタのバイアス方法

ベース接地 (Common Base)

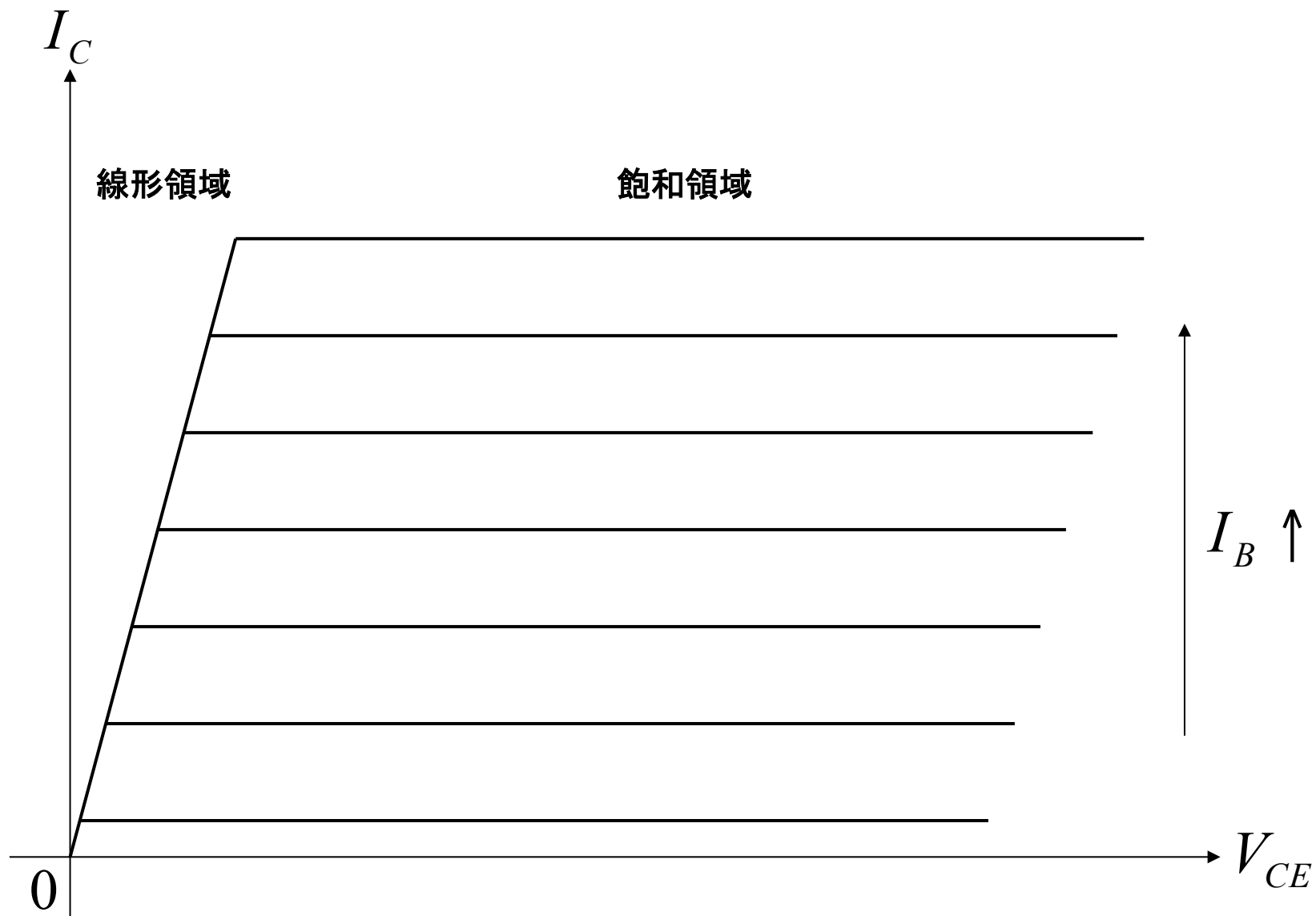


バイポーラトランジスタのバイアス方法

エミッタ接地 (Common Emitter)



バイポーラトランジスタの電流-電圧特性



トランジスタ

バイポーラトランジスタ (Bipolar)

電界効果トランジスタ (FET)

- ・ 接合形 (JFET)
- ・ MOS形 (MOSFET)

電界効果トランジスタ(FET)

接合形(JFET)

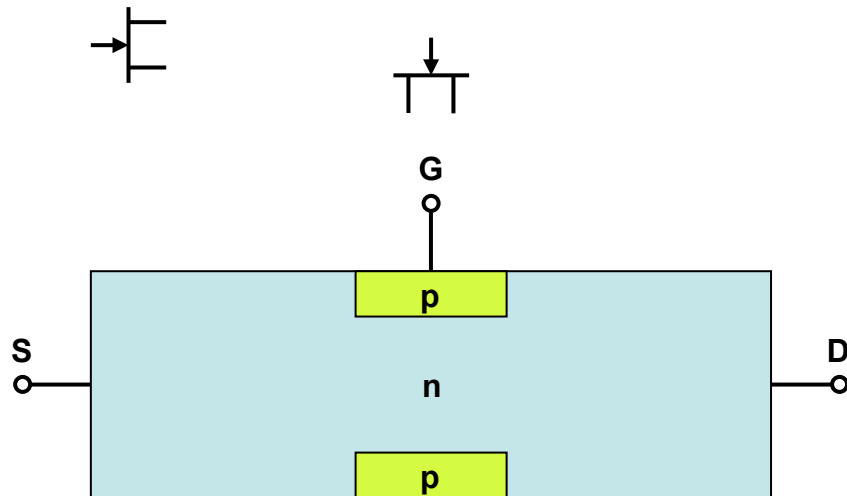
pn接合

MOS形(MOSFET)

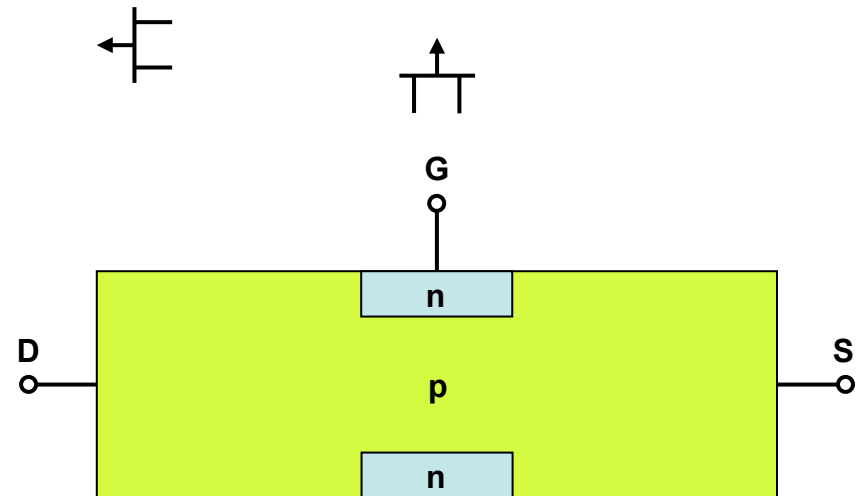
MOS構造

JFETの構造

nチャンネルJFET

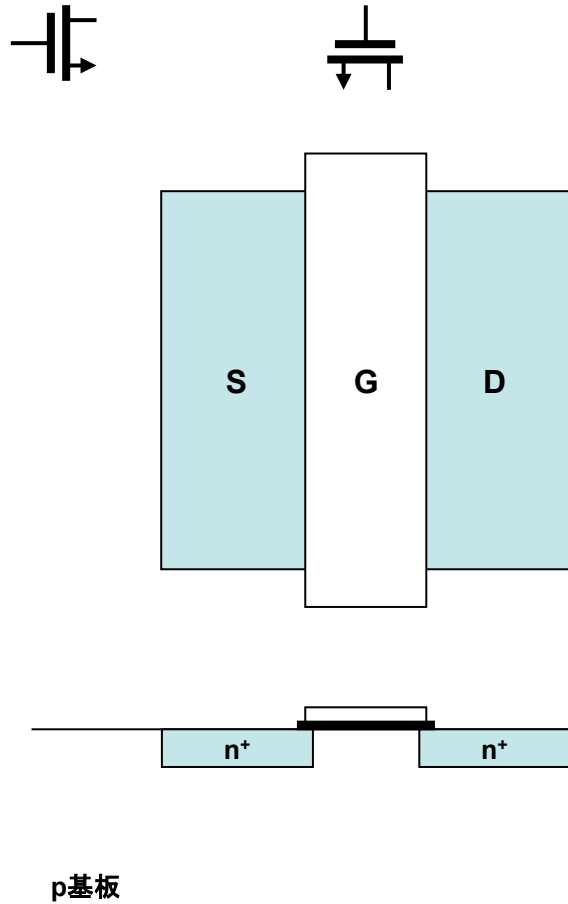


pチャンネルJFET

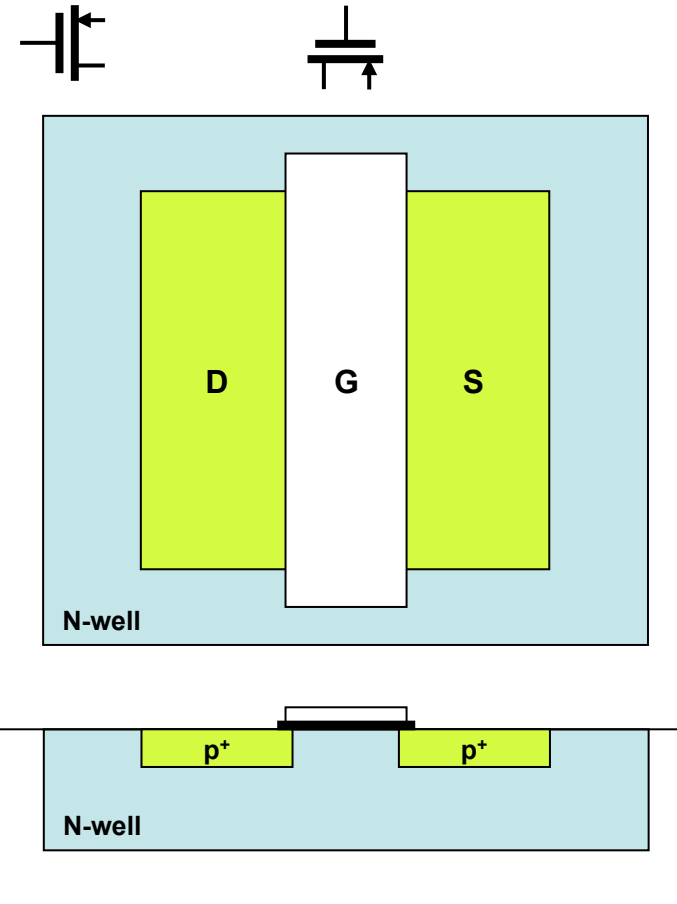


MOSトランジスタの構造

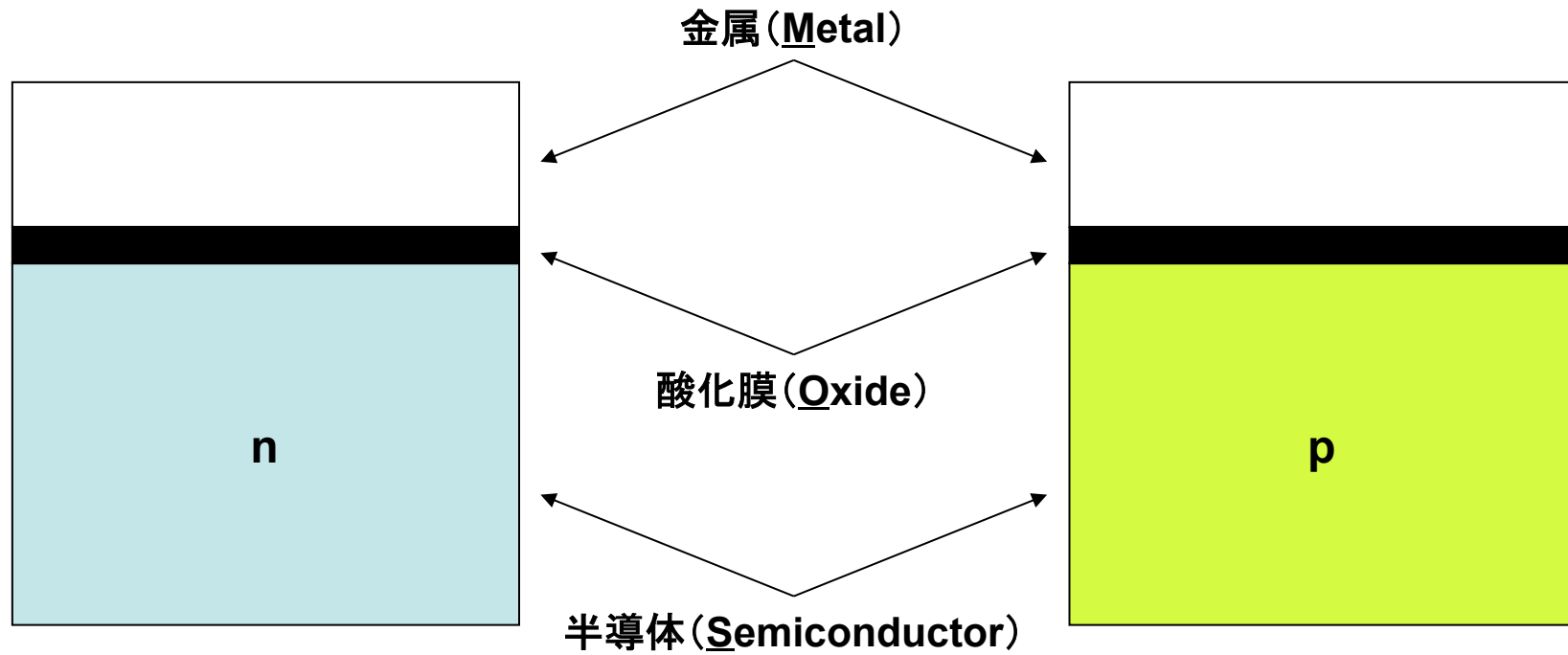
NMOS



PMOS



MOS構造



電界効果トランジスタ(FET)

接合形(JFET)

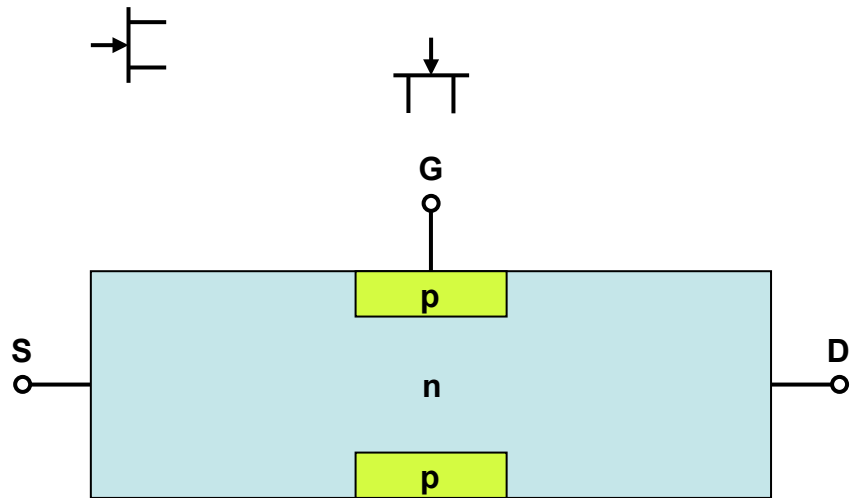
pn接合

MOS形(MOSFET)

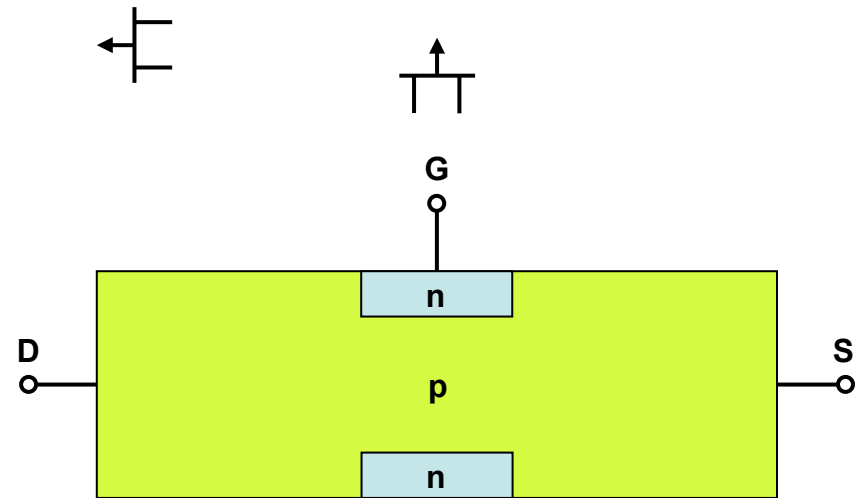
MOS構造

JFETの構造

nチャネルJFET

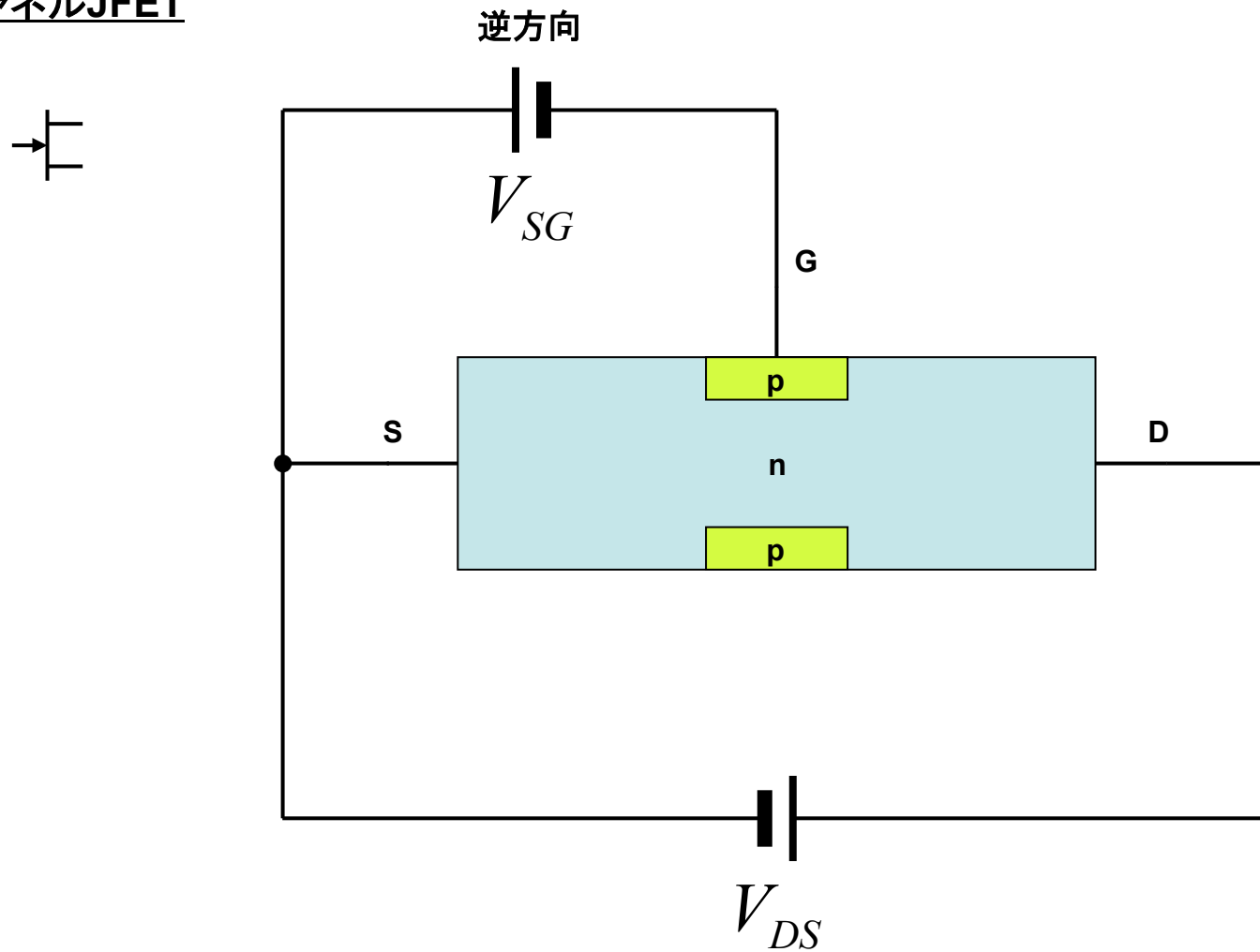


pチャネルJFET



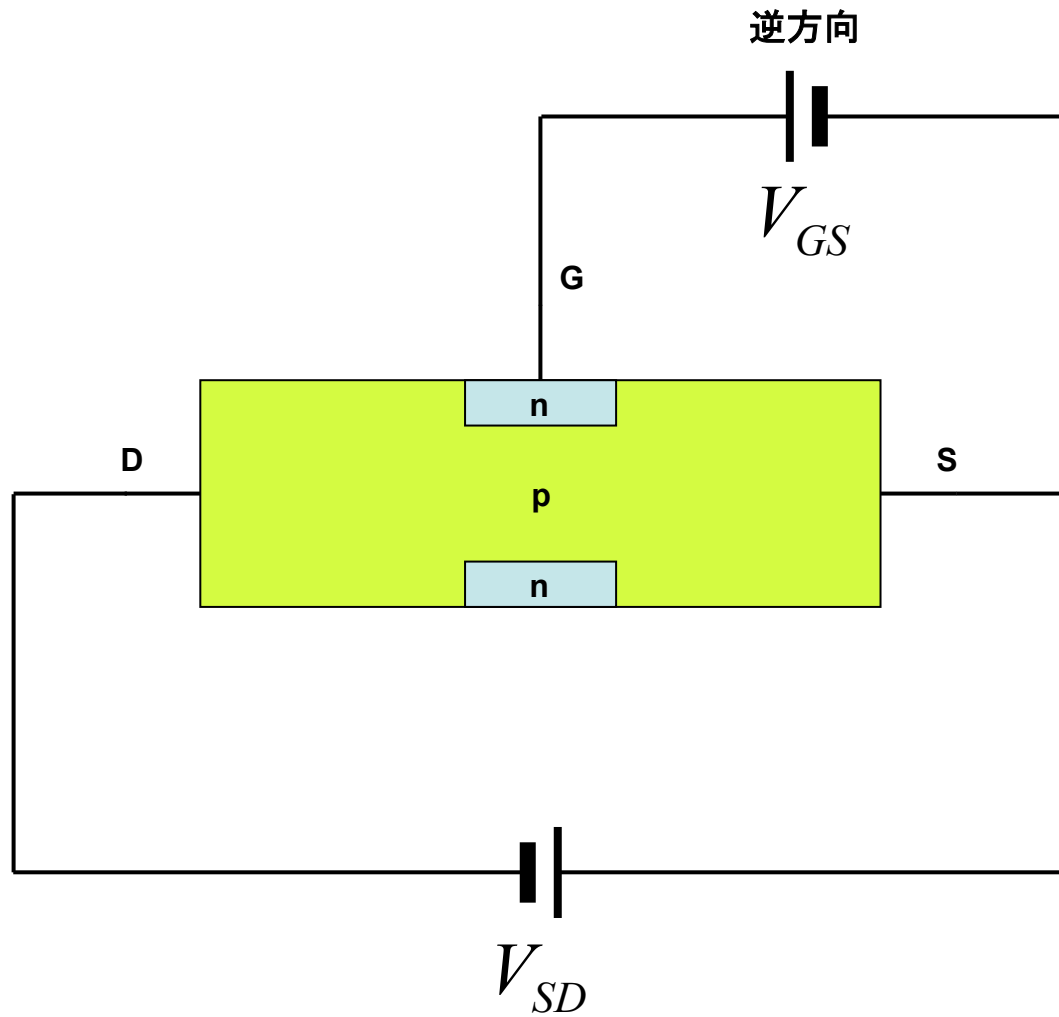
JFETのバイアス

nチャンネルJFET



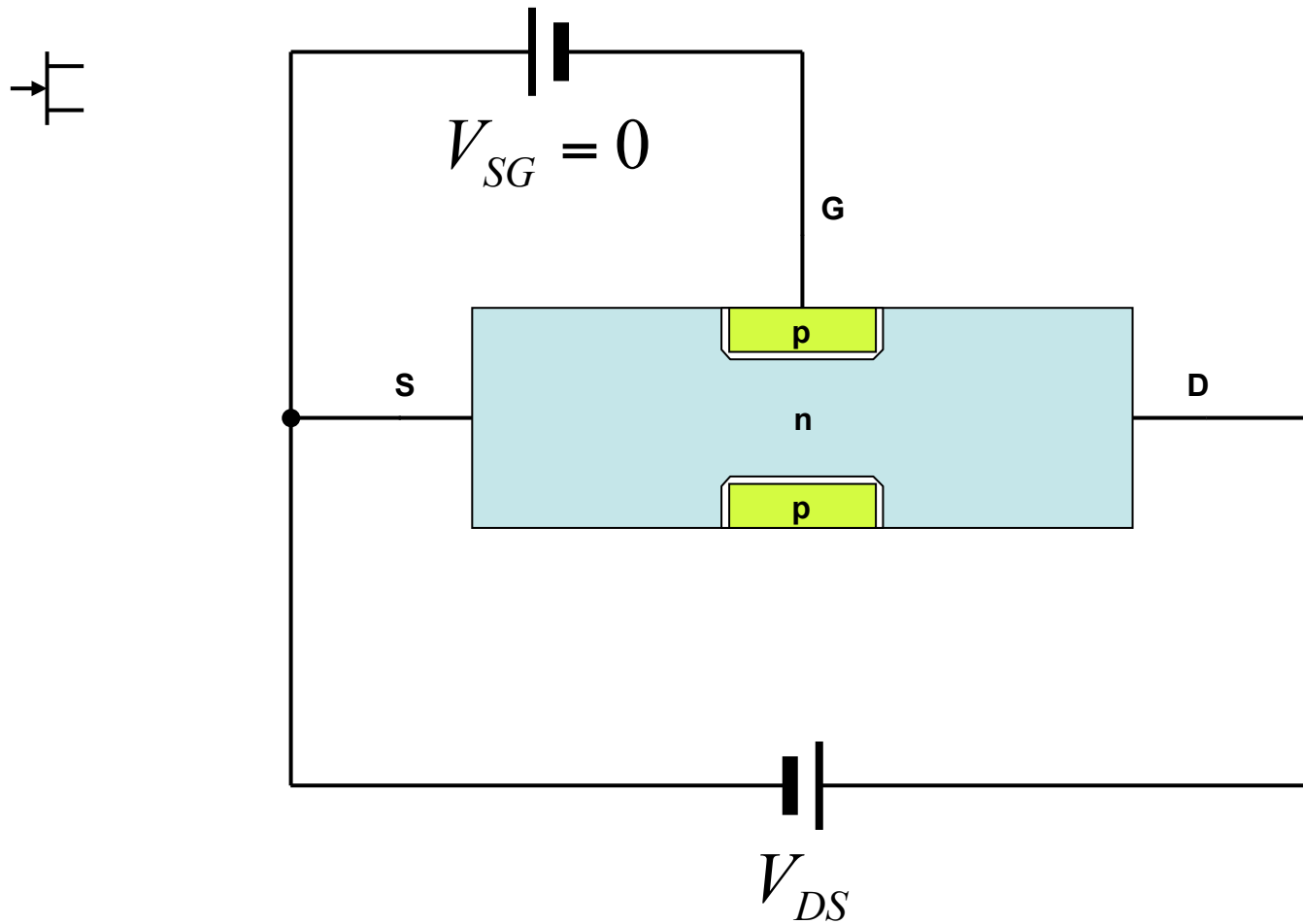
JFETのバイアス

pチャンネルJFET



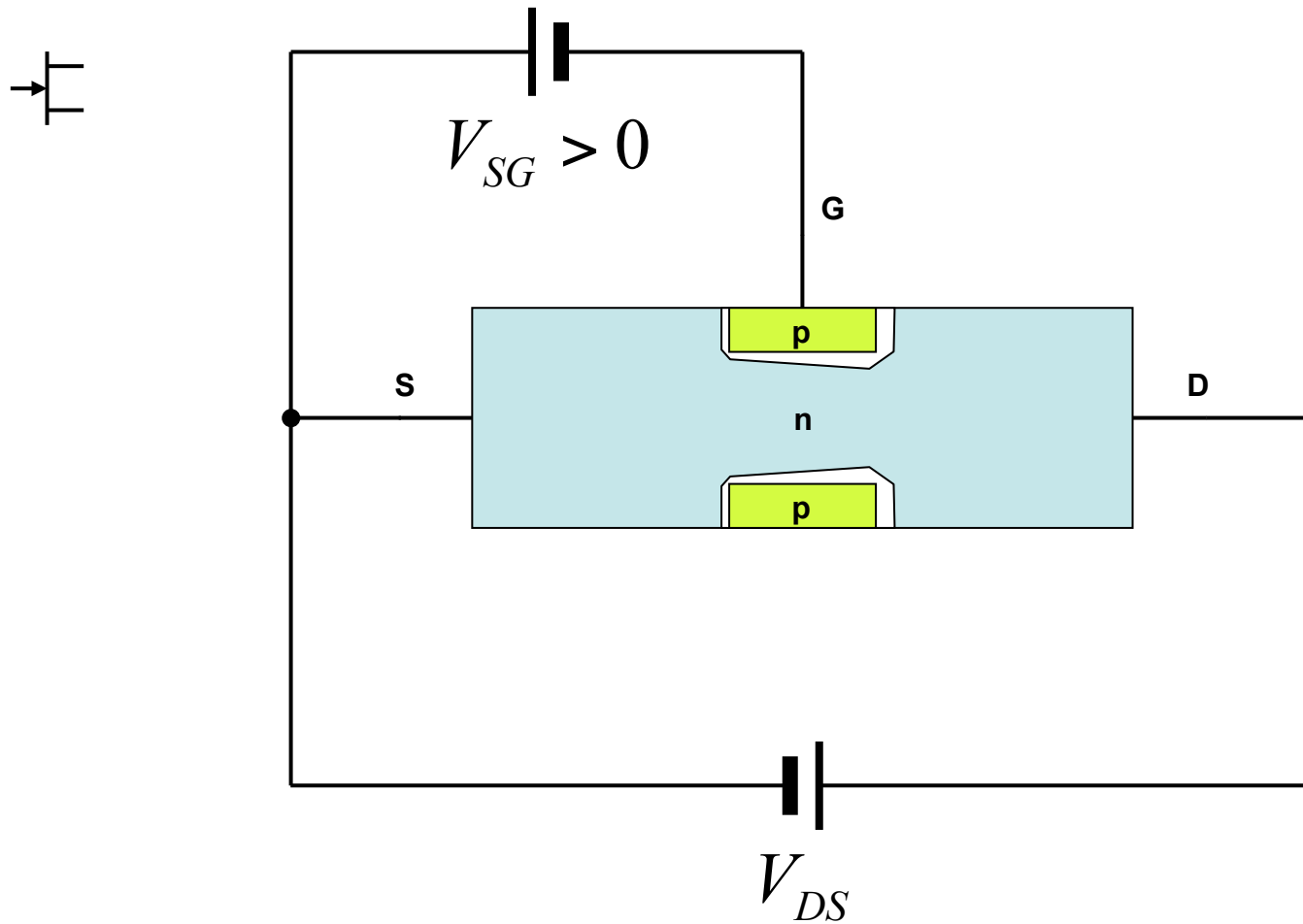
JFETのバイアス

nチャンネルJFET



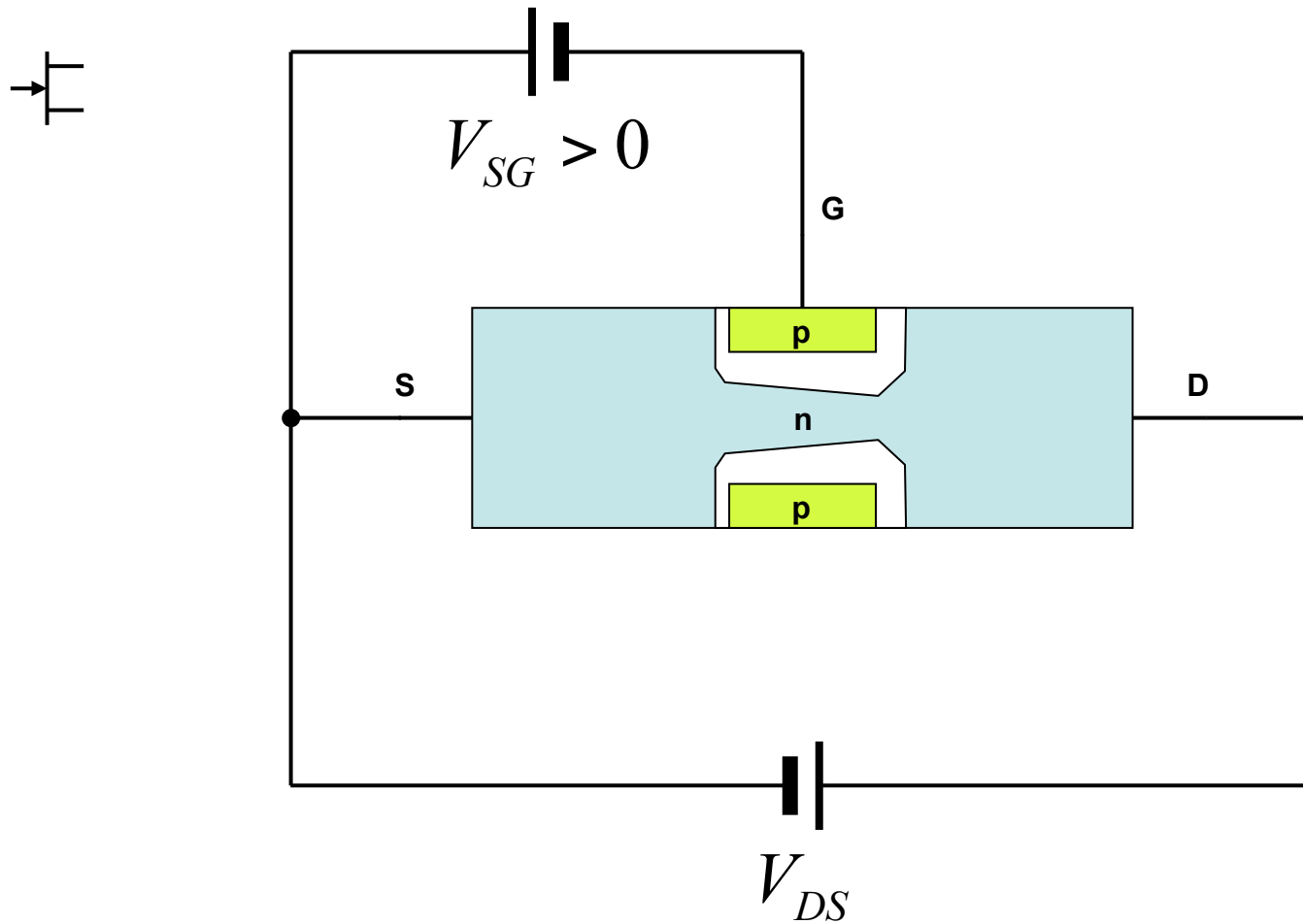
JFETの動作

nチャンネルJFET



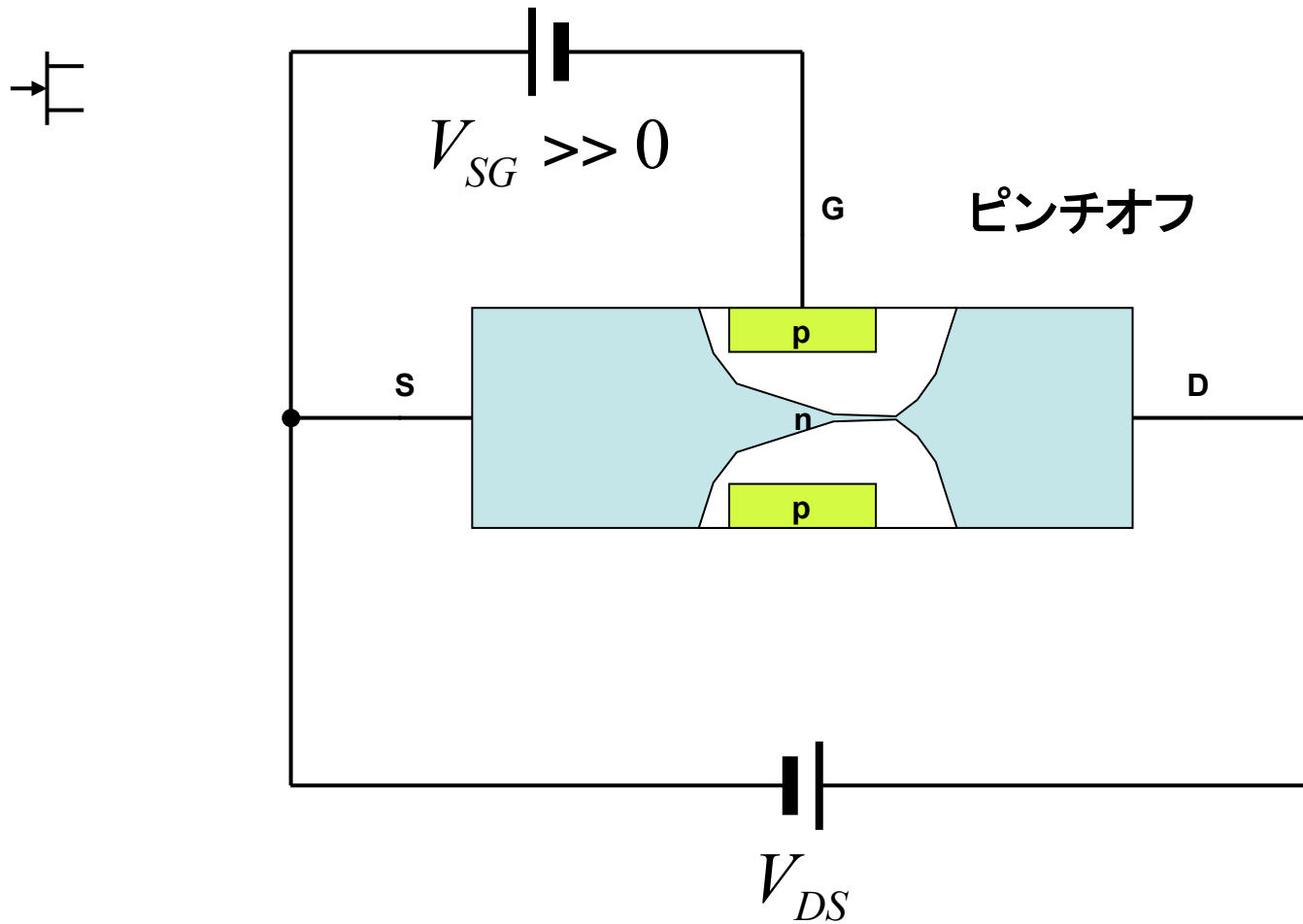
JFETの動作

nチャンネルJFET

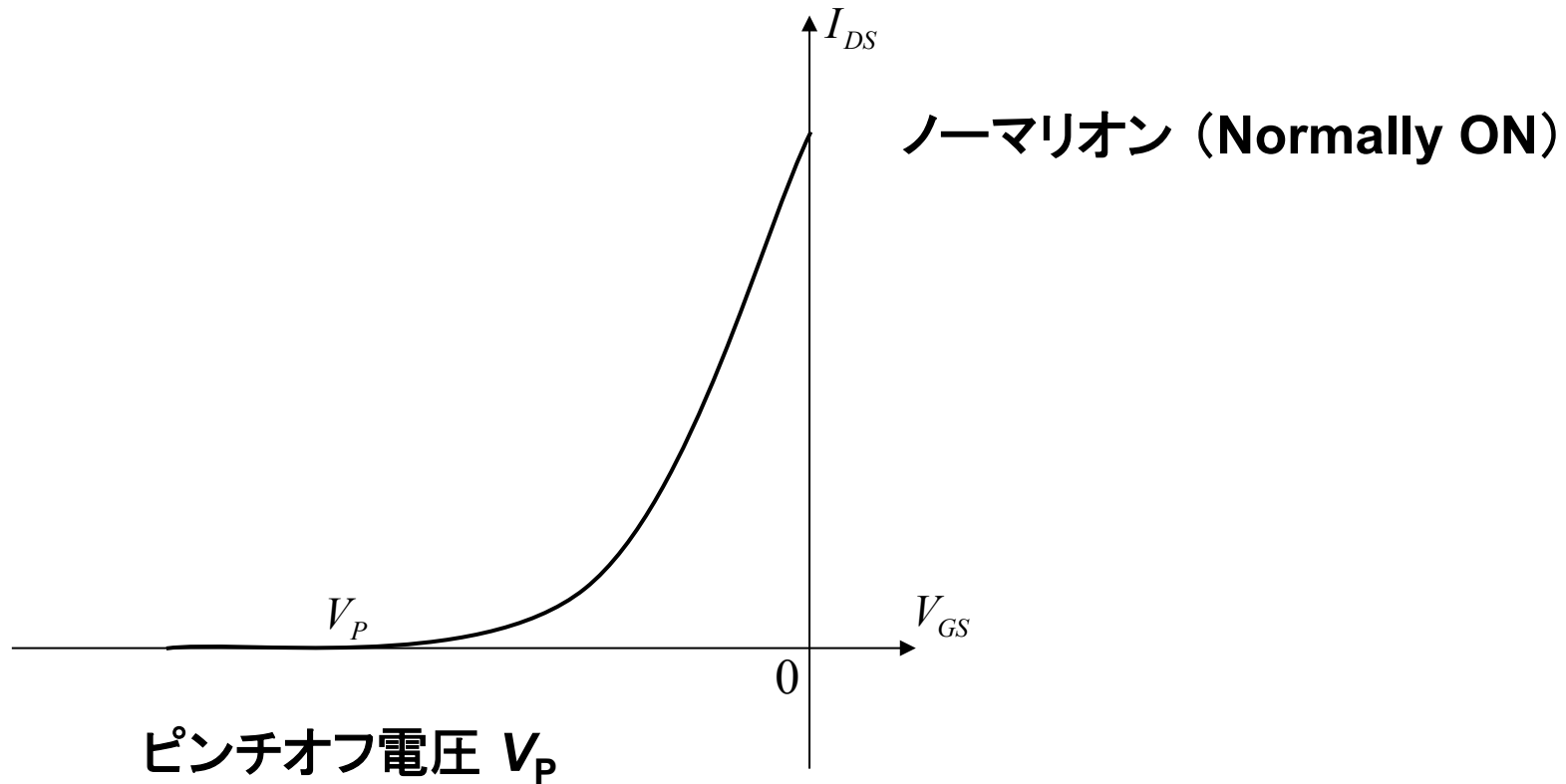


JFETの動作

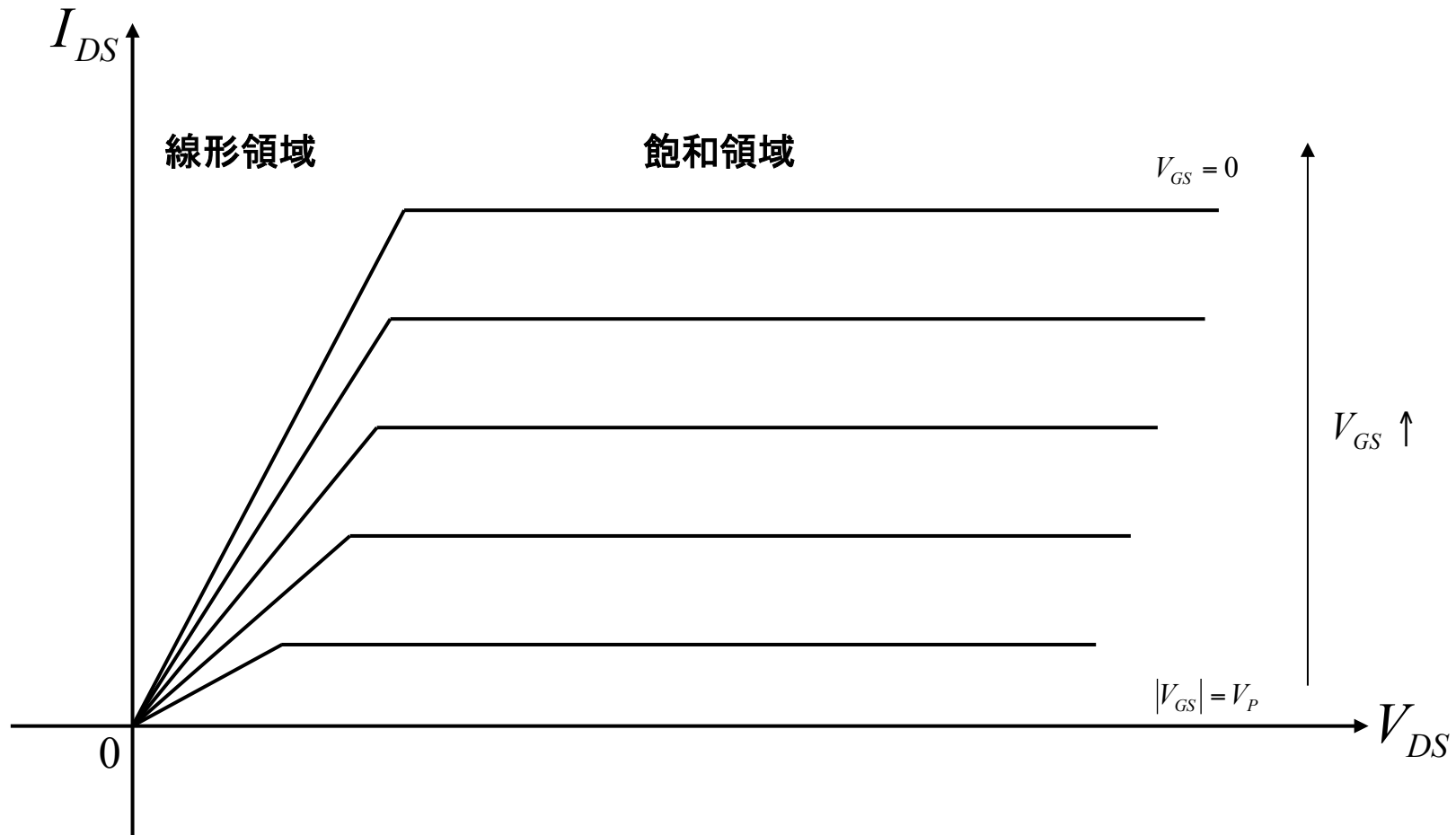
nチャンネルJFET



JFETの電流-電圧特性



JFETの電流-電圧特性



電界効果トランジスタ(FET)

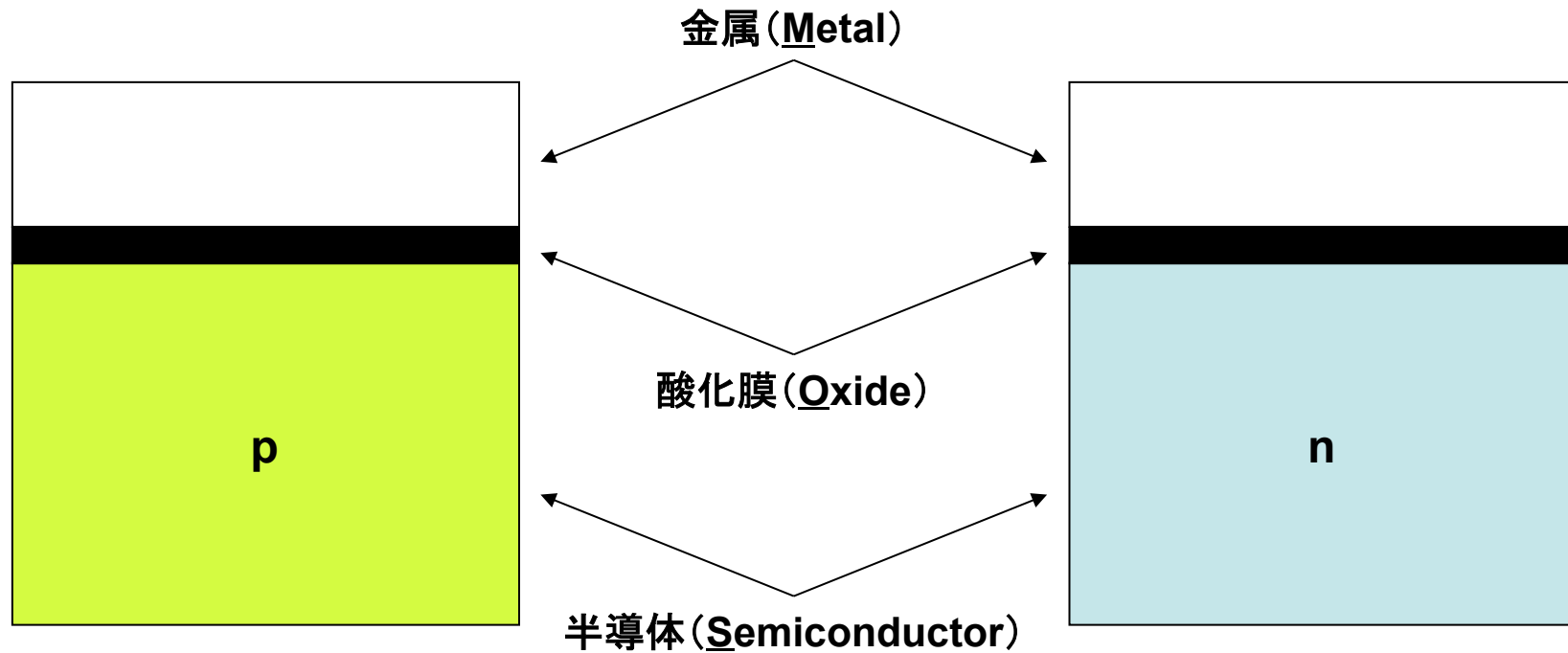
接合形(JFET)

pn接合

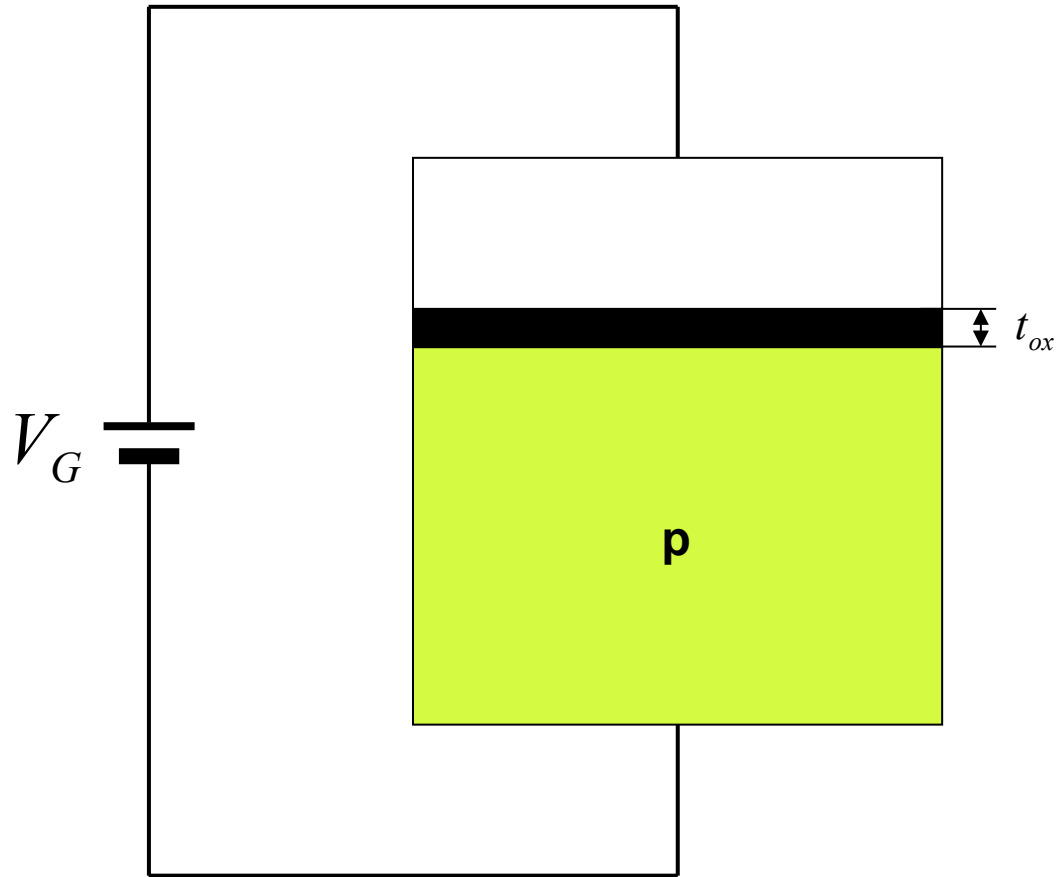
MOS形(MOSFET)

MOS構造

MOS構造



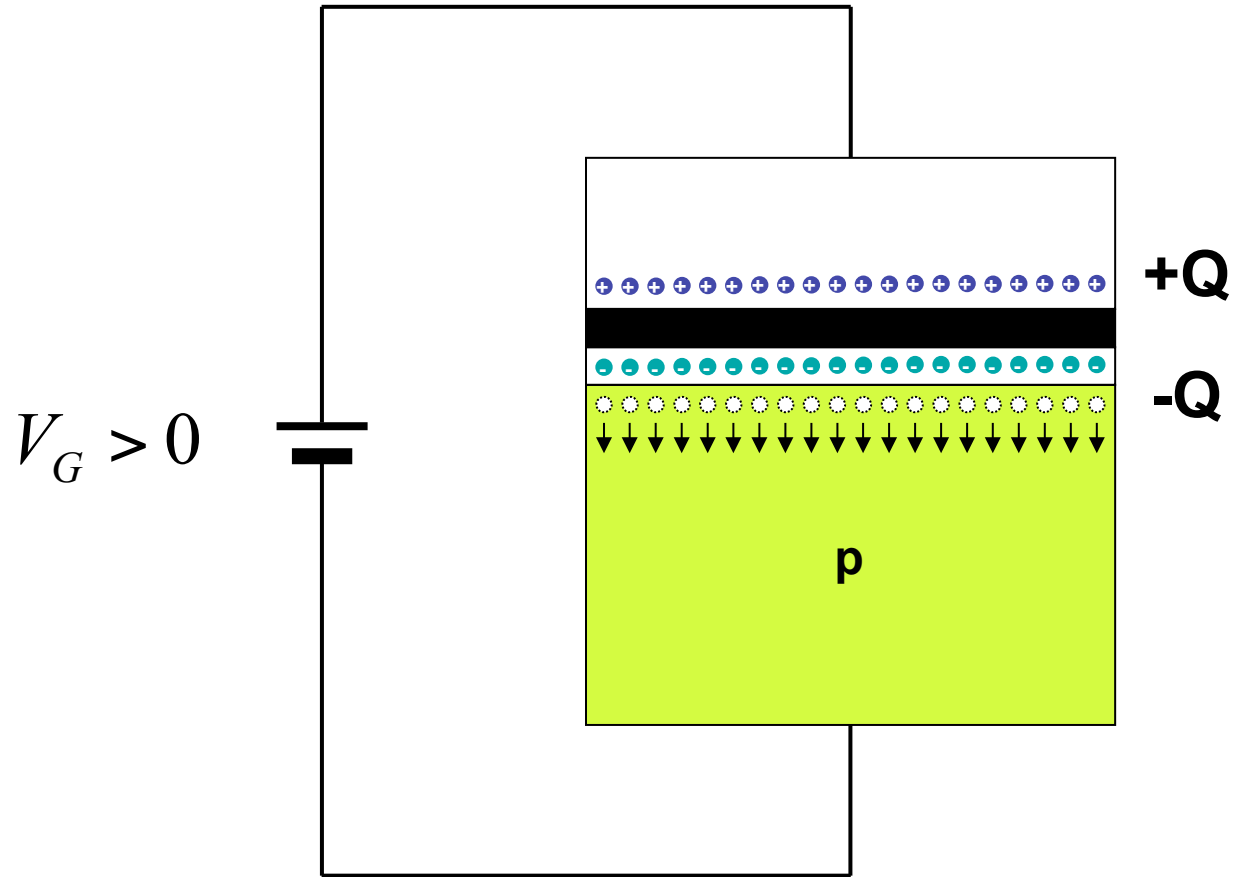
MOS構造と印加電圧



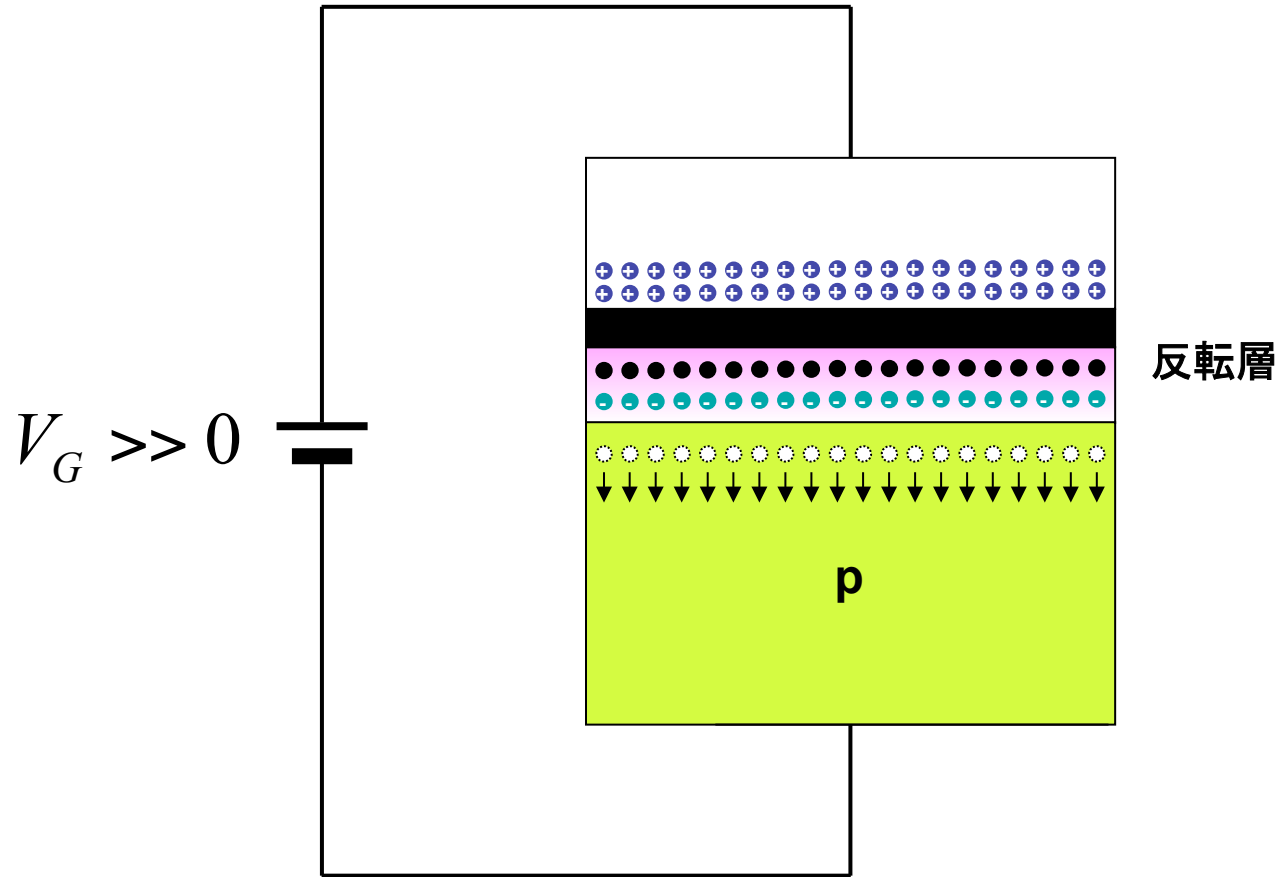
酸化膜容量

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{\epsilon_0 \epsilon_{SiO_2}}{t_{ox}}$$

印加電圧と電荷

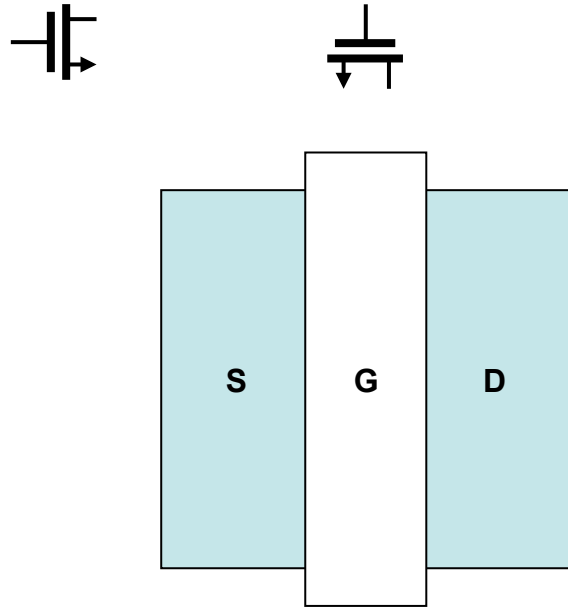


反転層の形成

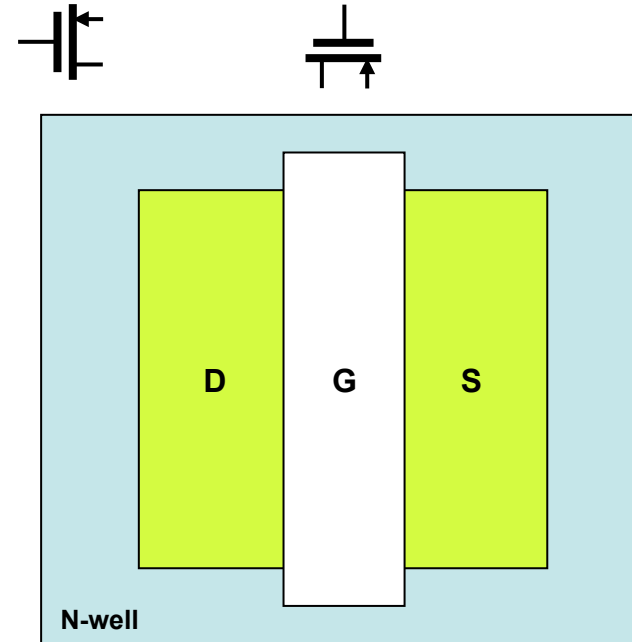


MOSTランジスタの構造

NMOS



PMOS

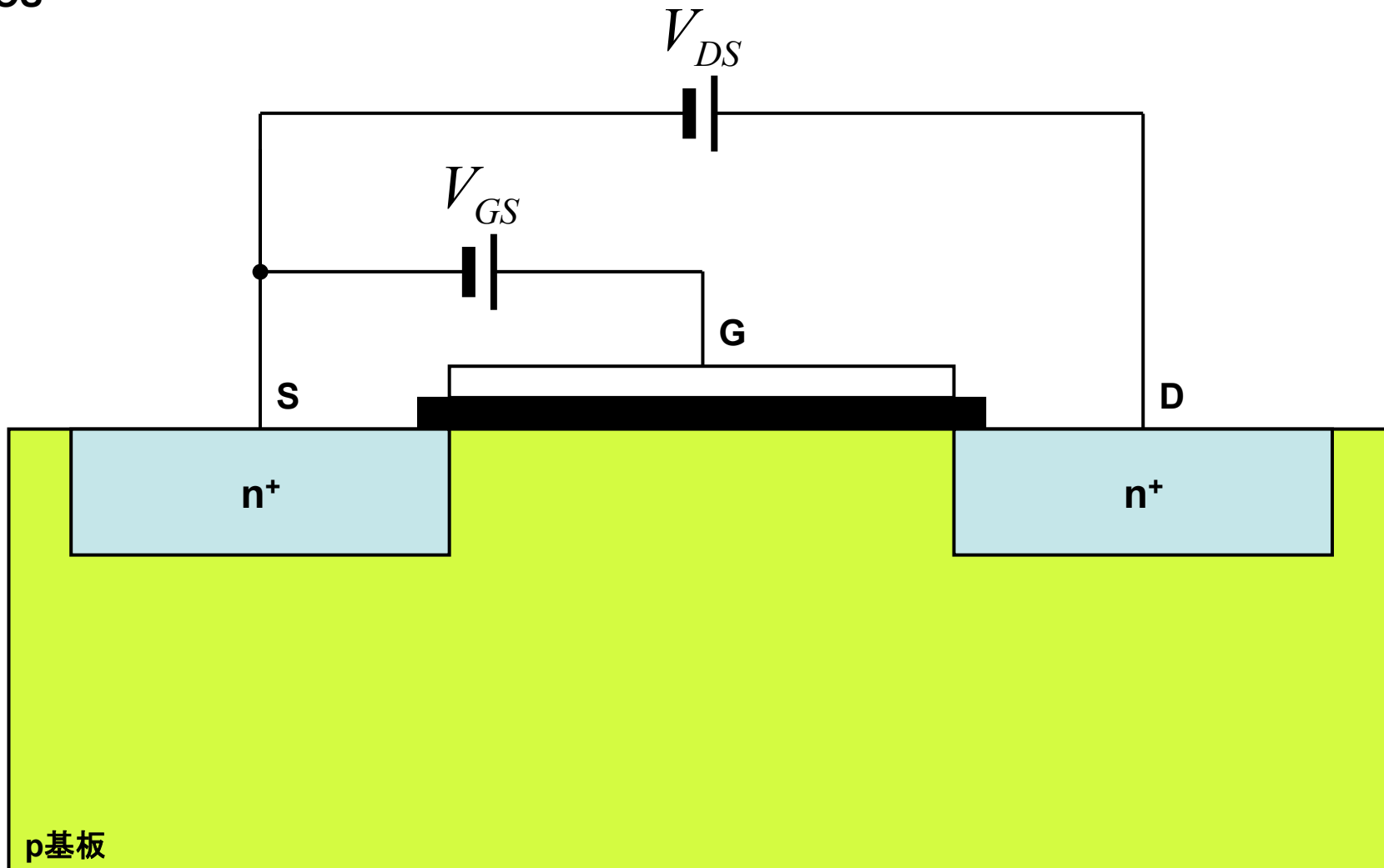


N-well プロセス



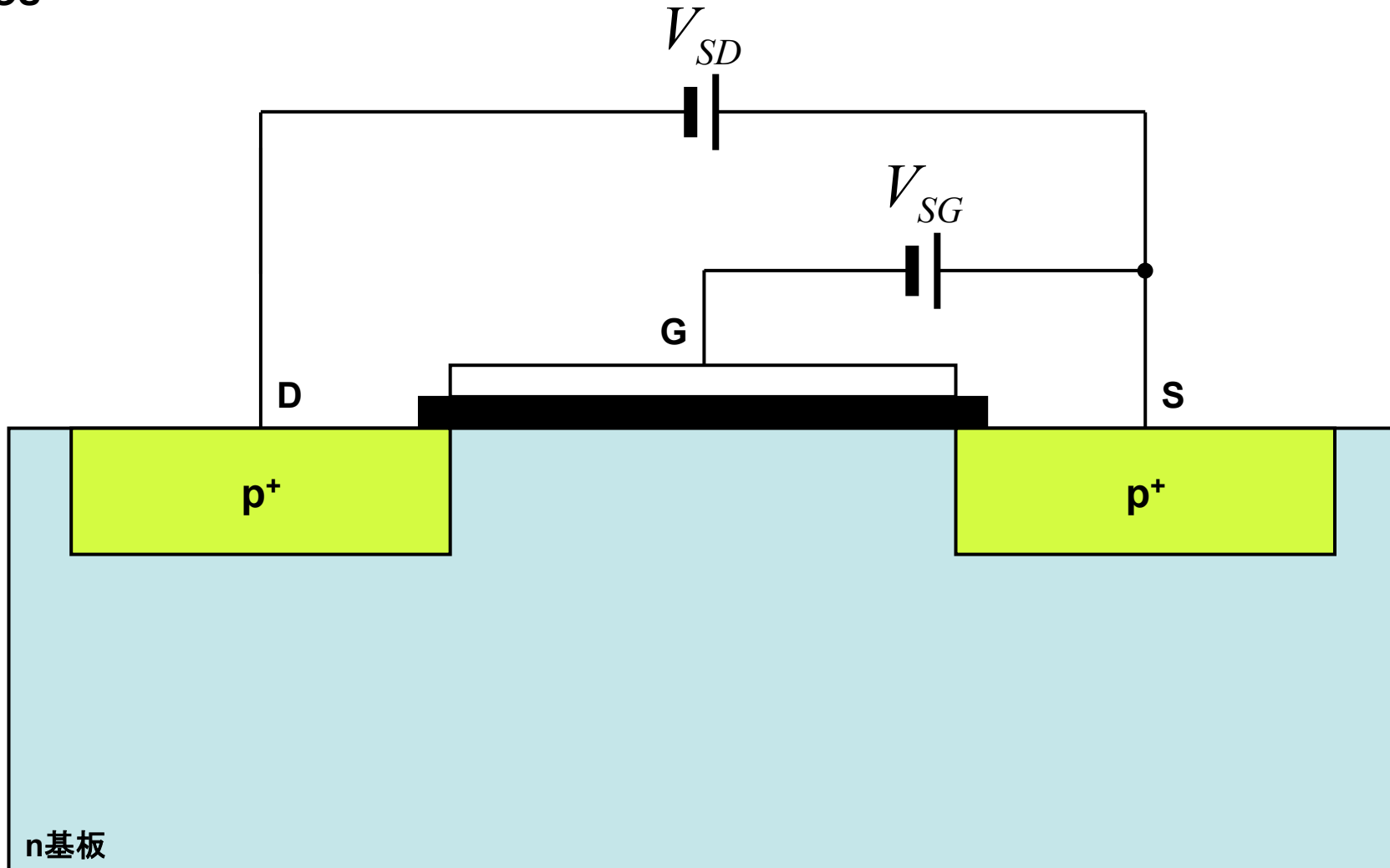
MOSトランジスタのバイアス

NMOS



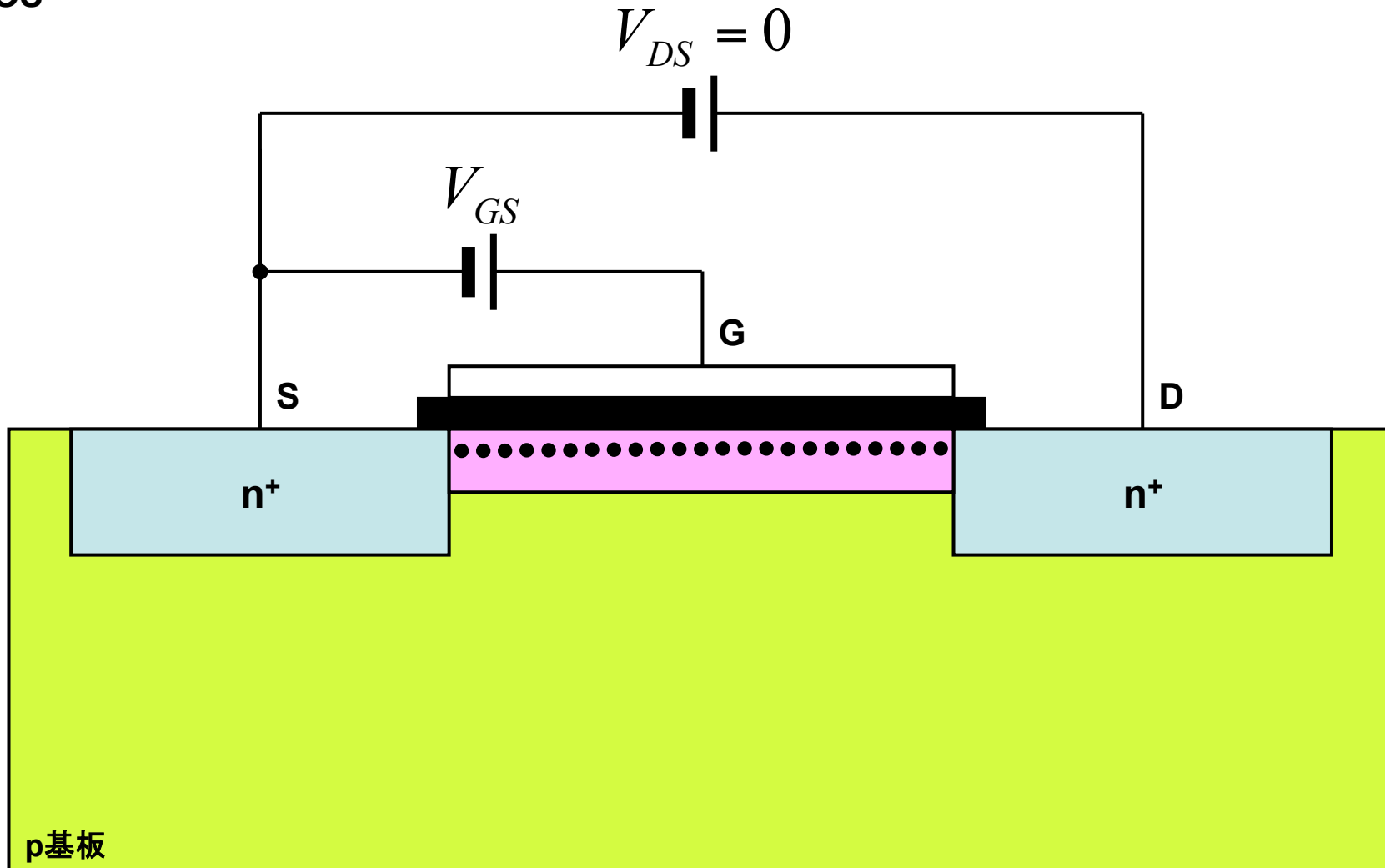
MOSトランジスタのバイアス

PMOS



MOSTランジスタの動作

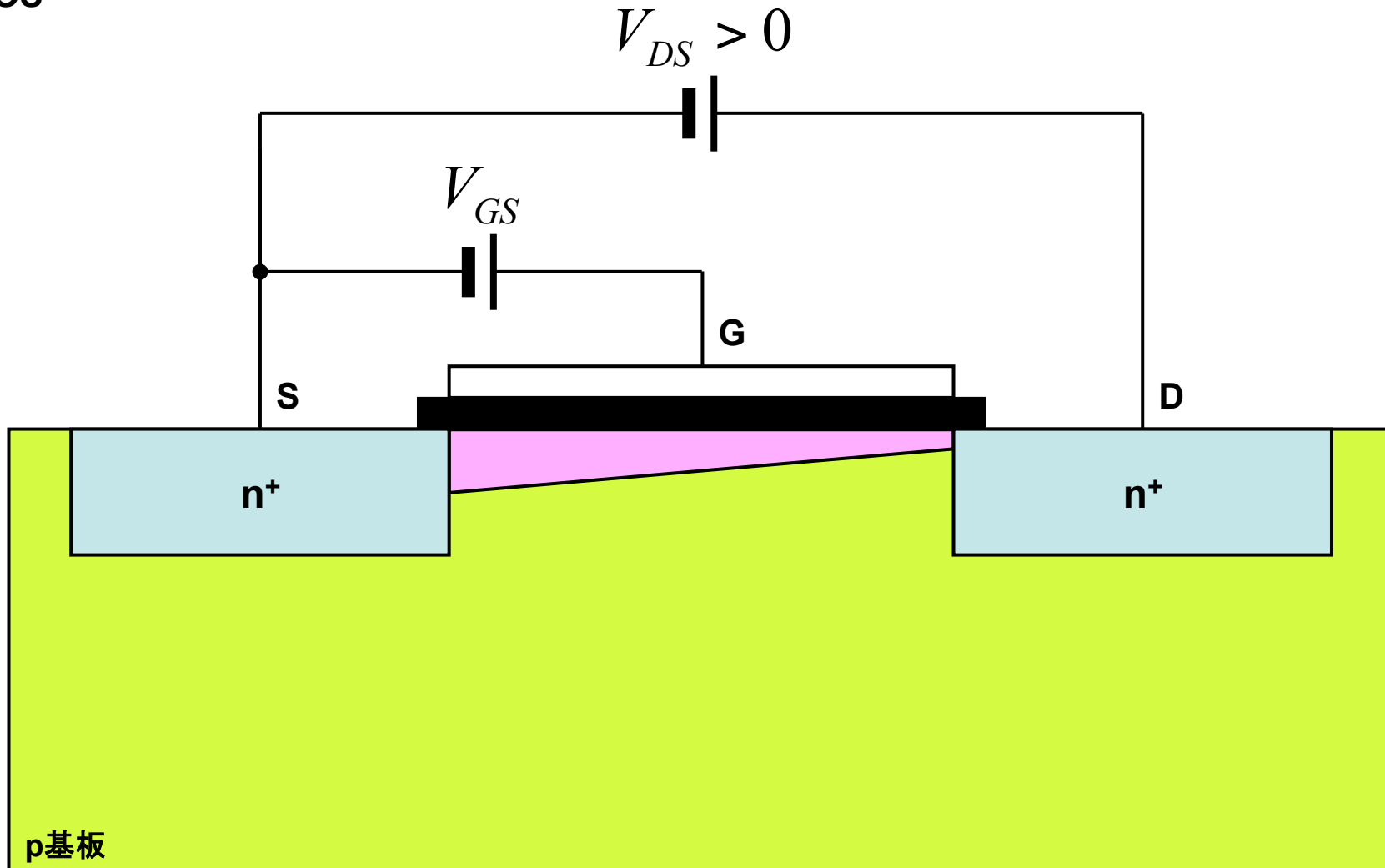
NMOS



※ 空乏層は図示していない

MOSTランジスタの動作

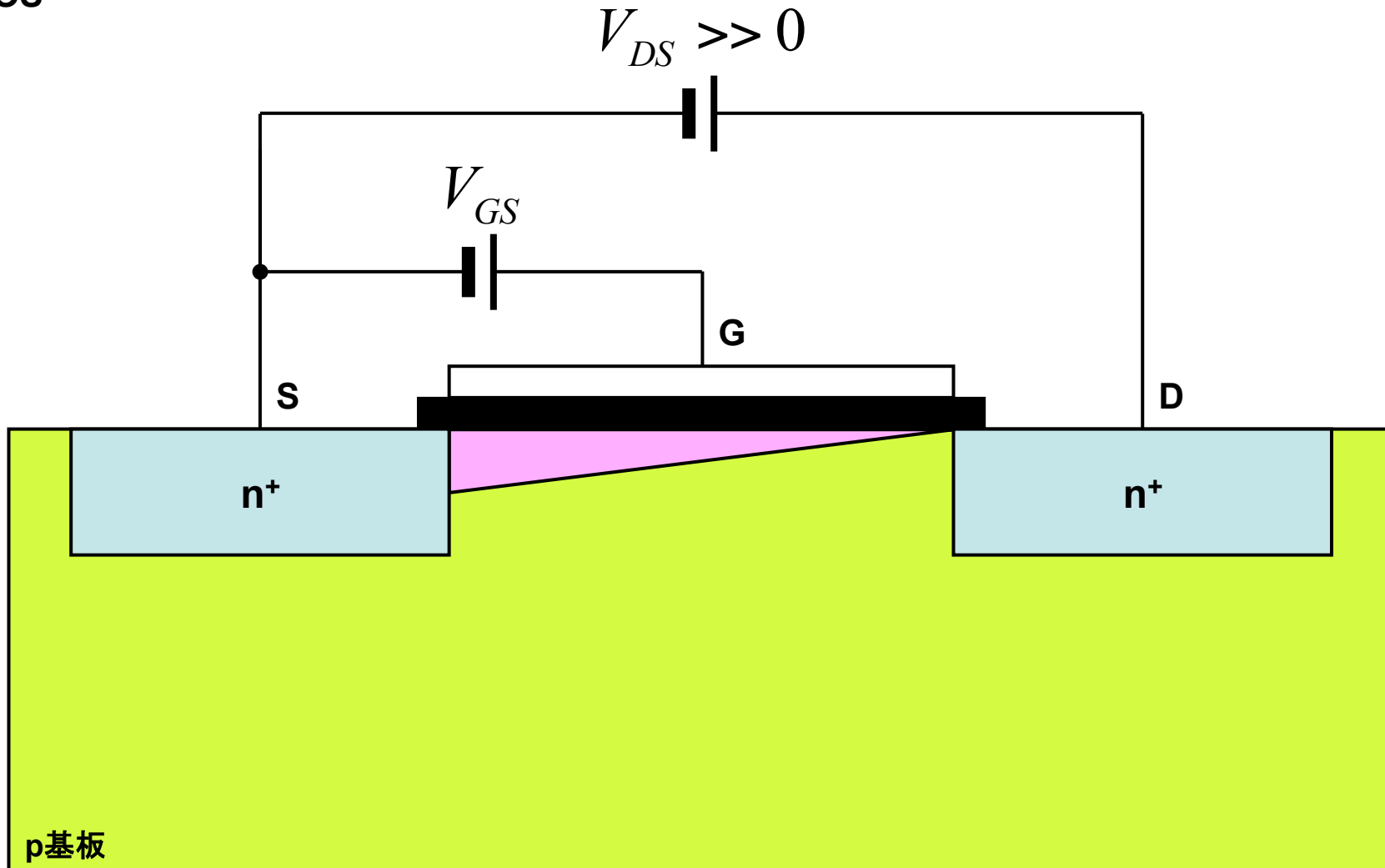
NMOS



※ 空乏層は図示していない

MOSTランジスタの動作

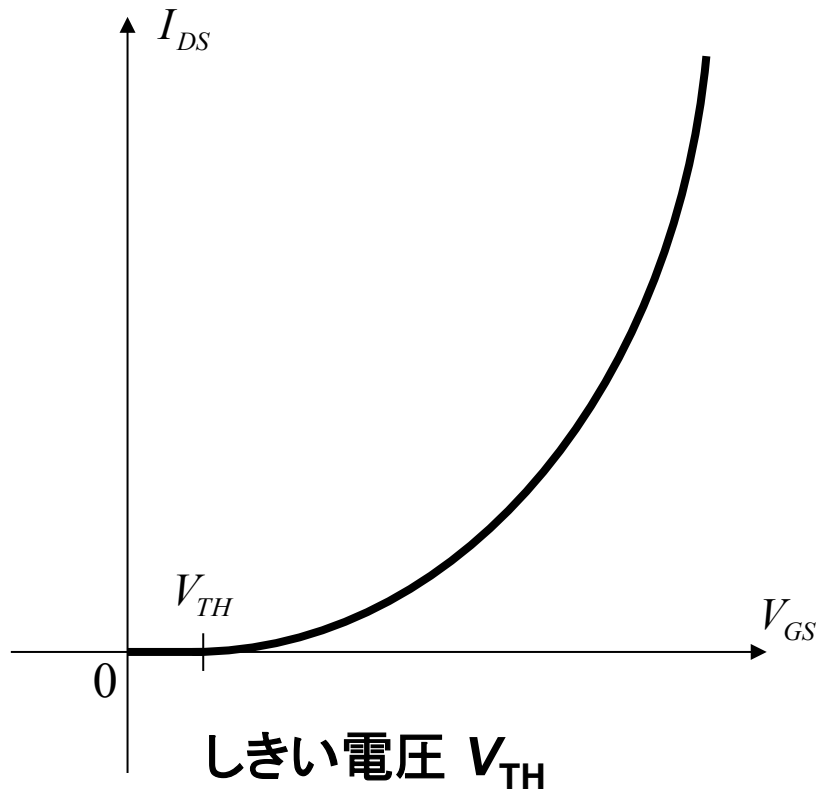
NMOS



※ 空乏層は図示していない

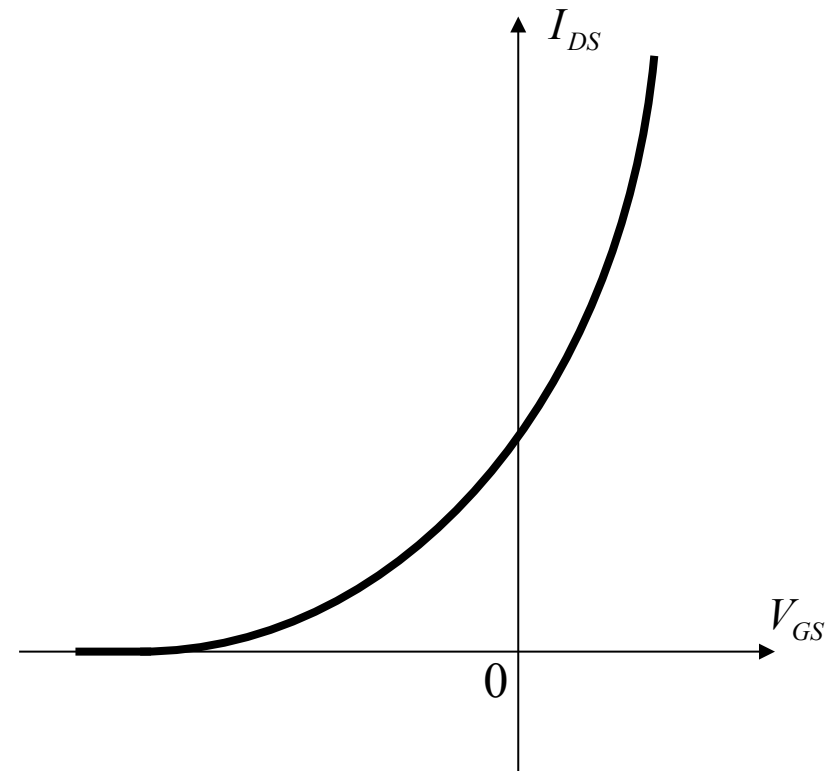
MOSTランジスタの電流-電圧特性

エンハンスメント(Enhancement)形



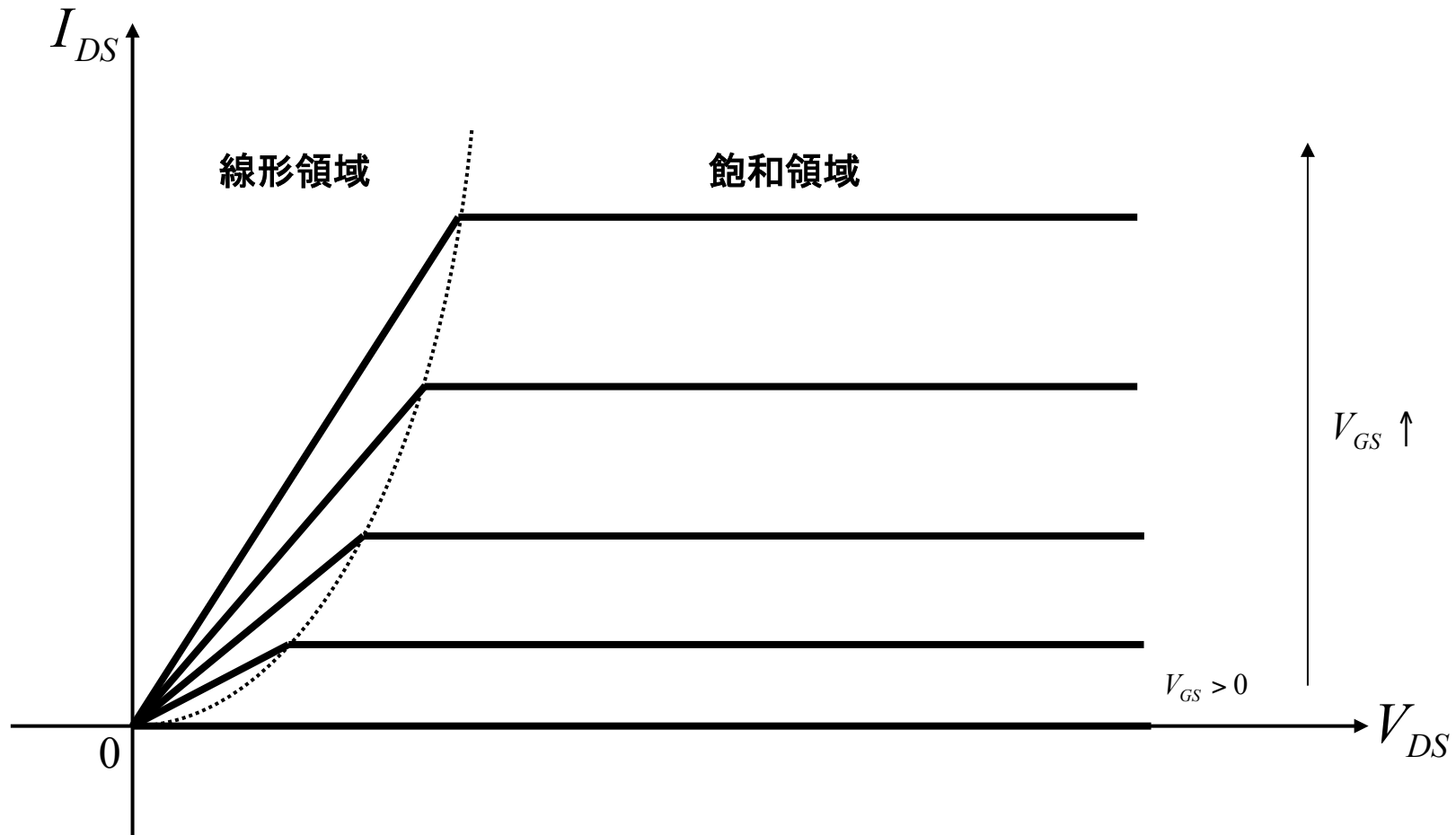
ノーマリオフ (Normally OFF)

デプレッション(Depletion)形

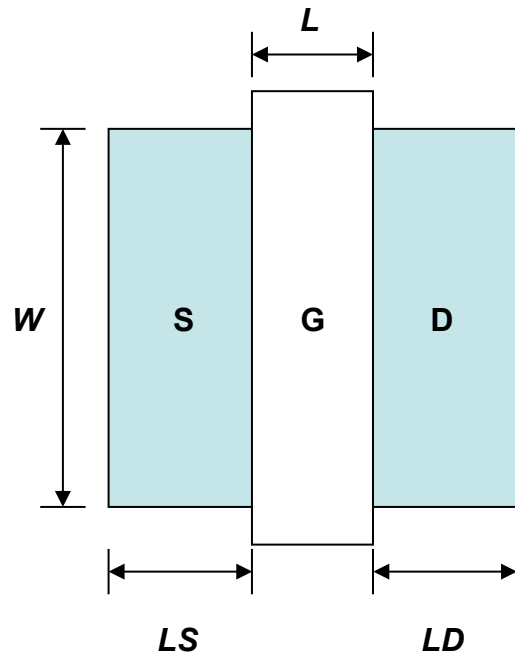


ノーマリオン (Normally ON)

MOSFETの電流-電圧特性



MOSTランジスタのサイズパラメータ



トランジスタサイズパラメータ

- ・ ゲート長: L
- ・ ゲート幅: W

ソース/ドレイン面積

- ・ $AS = W \times LS$
- ・ $AD = W \times LD$

ソース/ドレイン周囲長

- ・ $PS = W + 2 \times LS$
- ・ $PD = W + 2 \times LD$

MOSトランジスタのシンボル

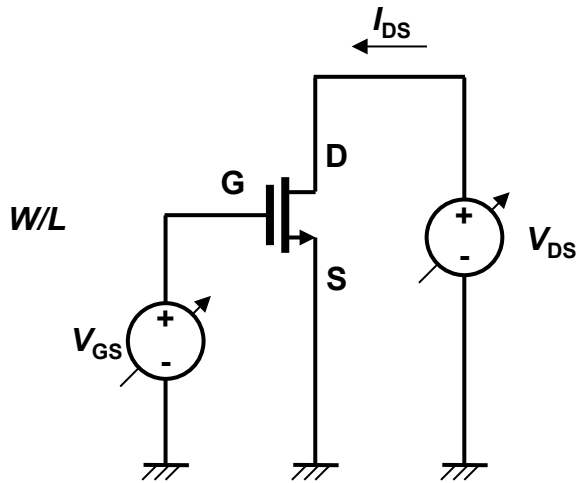
NMOS



PMOS



MOSTランジスタの特性 (NMOS)

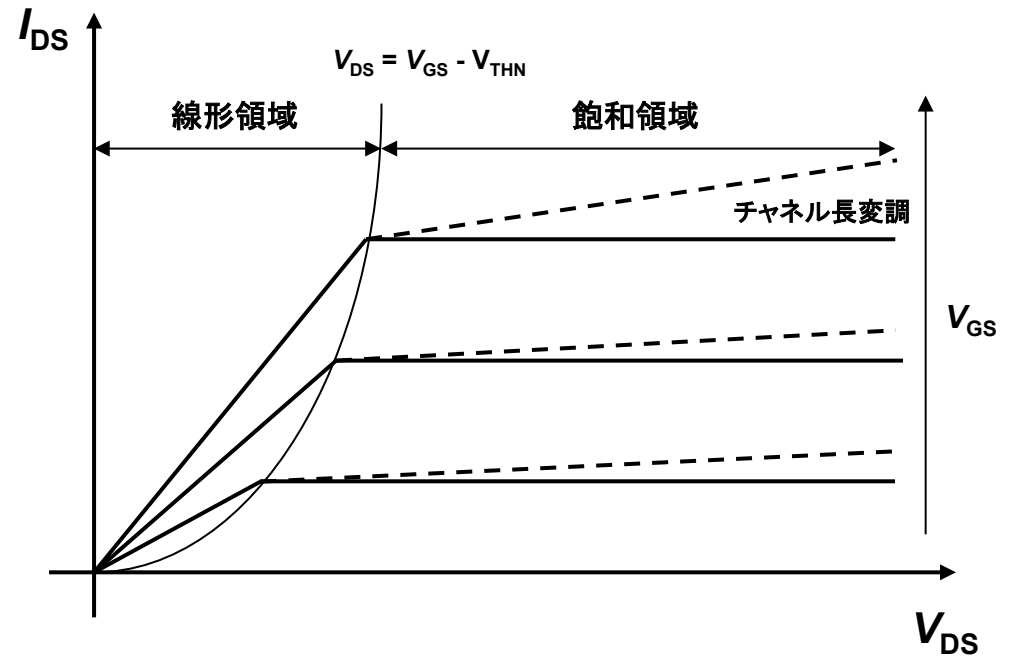
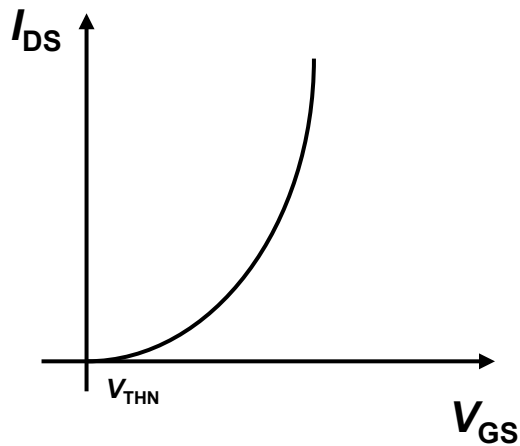


$$I_{DS} = \mu_n C_{ox} \frac{W}{L} \left\{ (V_{GS} - V_{THN}) V_{DS} - \frac{1}{2} V_{DS}^2 \right\}$$

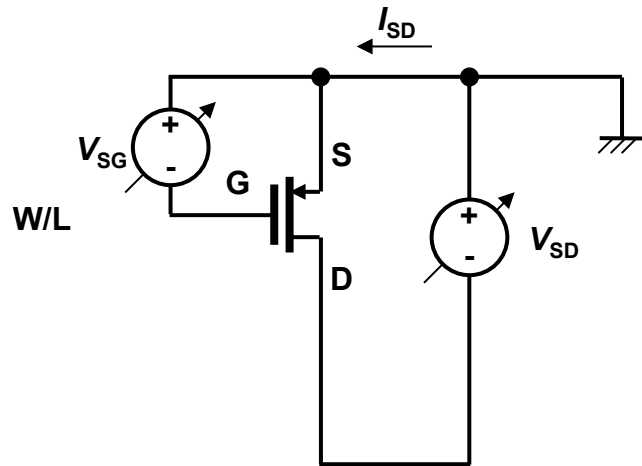
$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THN})^2$$

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THN})^2 (1 + \lambda V_{DS})$$

チャンネル長変調効果



MOSTランジスタの特性 (PMOS)

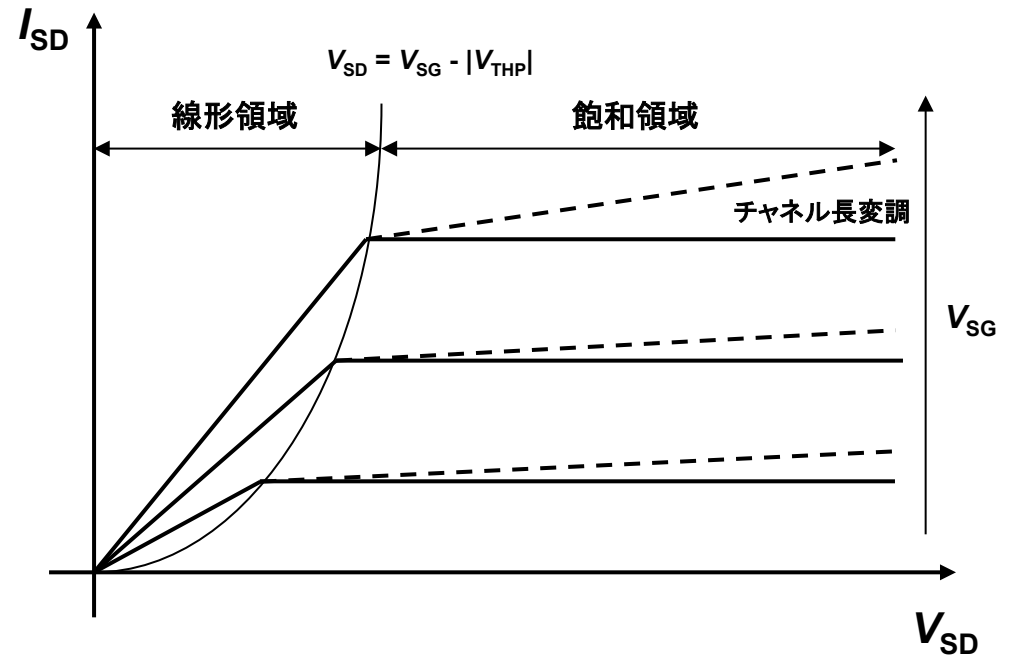
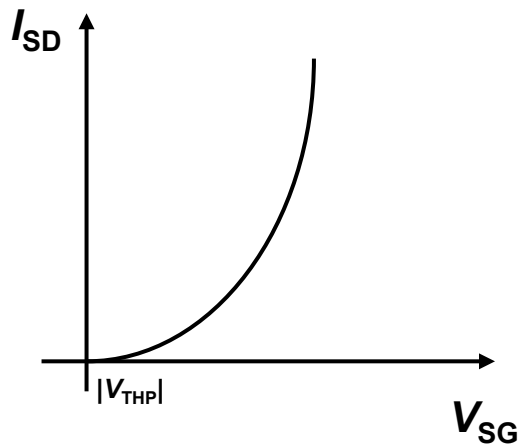


$$I_{SD} = \mu_p C_{ox} \frac{W}{L} \left\{ (V_{SG} - |V_{THP}|) V_{SD} - \frac{1}{2} V_{SD}^2 \right\}$$

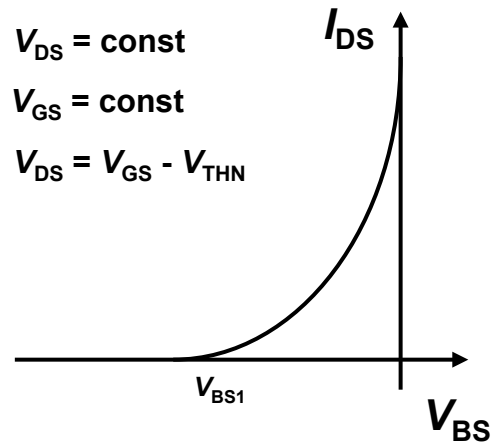
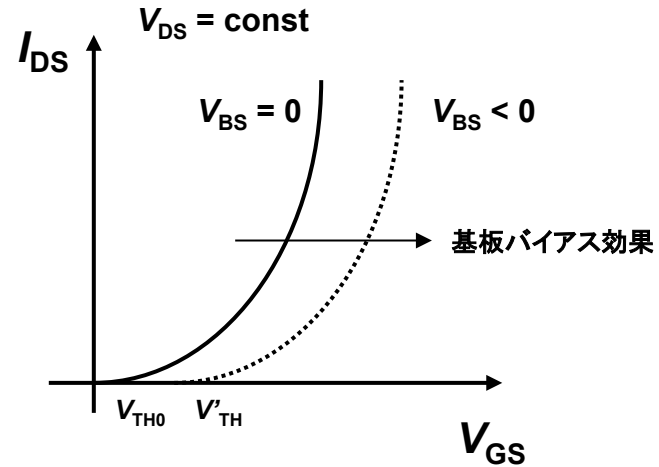
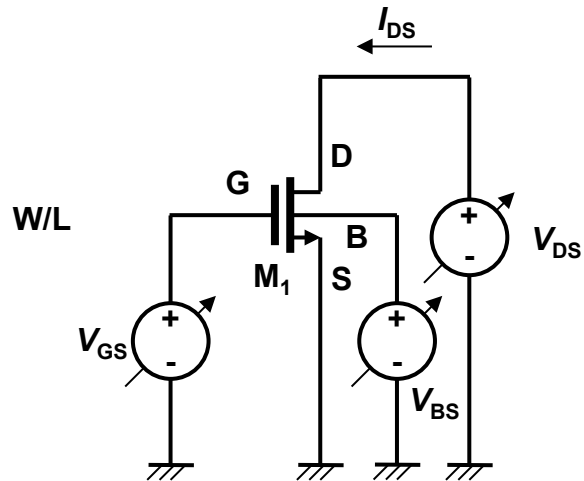
$$I_{SD} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{THP}|)^2$$

$$I_{SD} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{THP}|)^2 (1 + \lambda V_{SD})$$

チャネル長変調効果



基板バイアス効果 (NMOS)



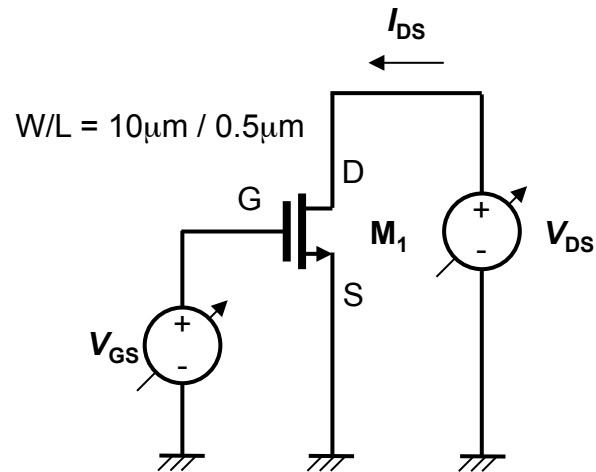
$$V_{TH} = V_{TH0} + \gamma \left(\sqrt{|2\Phi_F + V_{SB}|} - \sqrt{|2\Phi_F|} \right)$$

$$= V_{TH0} + \gamma \left(\sqrt{|2\Phi_F - V_{BS}|} - \sqrt{|2\Phi_F|} \right)$$

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2$$

$$= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} \left\{ V_{GS} - V_{TH0} - \gamma \left(\sqrt{|2\Phi_F - V_{BS}|} - \sqrt{|2\Phi_F|} \right) \right\}^2$$

MOSトランジスタの特性計算例



*** NMOS Transistor (0.5um Process) IDS-VDS Characteristics**

VGS G 0 DC 2

VDS D 0 DC 5

M1 D G 0 0 nch L=0.5um W=10um

.MODEL nch NMOS LEVEL=1 VTO=0.7 GAMMA=0.45 PHI=0.9 NSUB=9E+14

+ LD=0.08E-6 UO=350 LAMBDA=0.1 TOX=9E-9 PB=0.9 CJ=0.56E-3

+ CJSW=0.35E-11 MJ=0.45 MJSW=0.2 CGDO=0.4E-9 JS=1.0E-8

.DC VDS 0 5 0.1 VGS 0 5 1

.PROBE

.END

MOSTランジスタのモデルパラメータ例

0.5- μm CMOS

NMOS

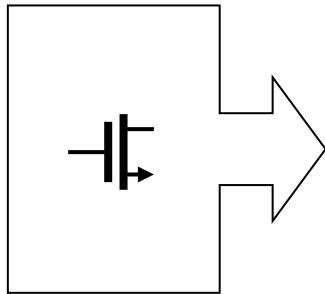
LEVEL=1 VTO=0.7 GAMMA=0.45 PHI=0.9
NSUB=9E+14 LD=0.08E-6 UO=350 LAMBDA=0.1
TOX=9E-9 PB=0.9 CJ=0.56E-3 CJSW=0.35E-11
MJ=0.45 MJSW=0.2 CGDO=0.4E-9 JS=1.0E-8

PMOS

LEVEL=1 VTO=-0.8 GAMMA=0.4 PHI=0.8
NSUB=5E+14 LD=0.09E-6 UO=100 LAMBDA=0.2
TOX=9E-9 PB=0.9 CJ=0.94E-3 CJSW=0.32E-11
MJ=0.5 MJSW=0.3 CGDO=0.3E-9 JS=0.5E-8

※「アナログCMOS集積回路の設計 基礎編」、B.Razavi(著)、黒田忠広(監訳)、丸善
第2章 表2.1 より

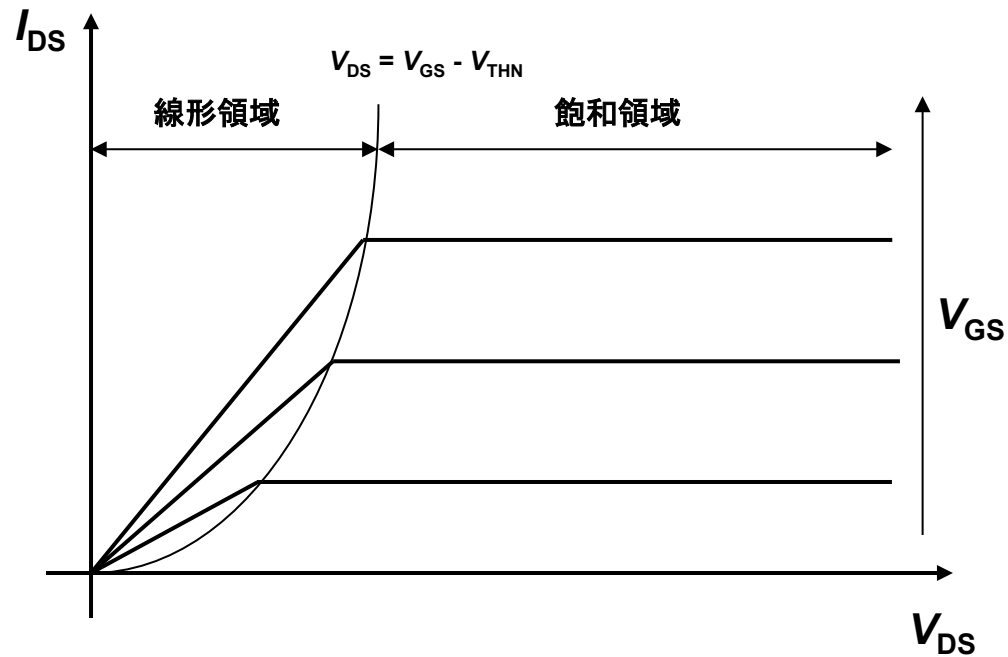
MOSTランジスタ直流特性の概要



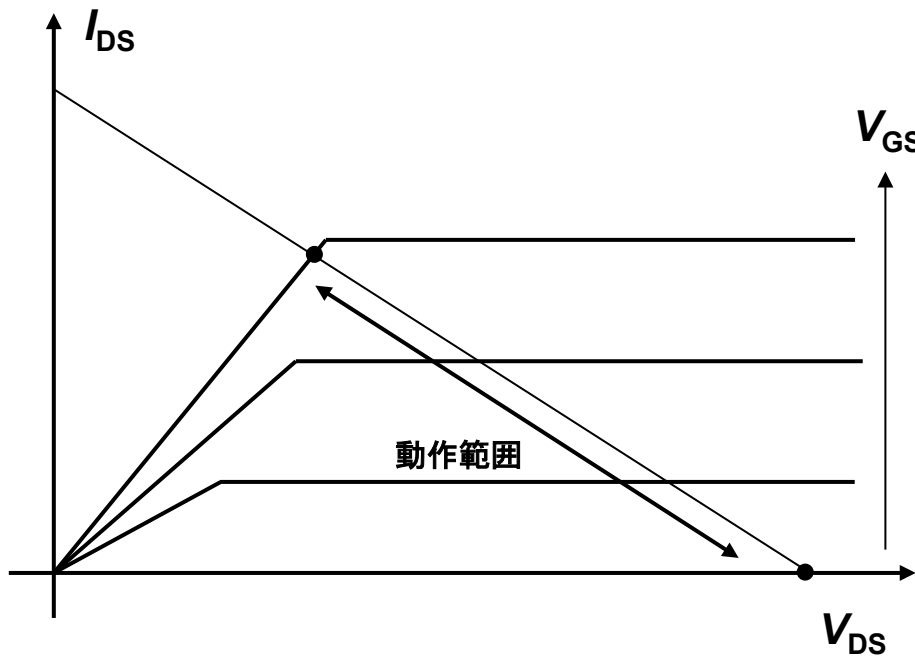
$$I_{DS} \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THN}) V_{DS}$$

$$V_{DS} \ll 2(V_{GS} - V_{THN})$$

$$I_{DS} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{THN})^2$$

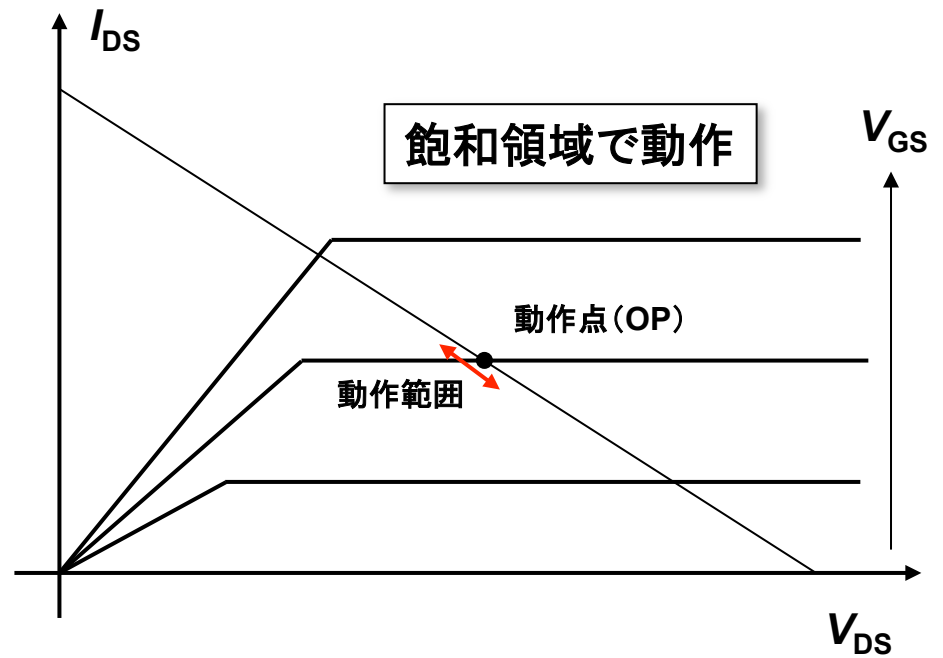


大信号動作と小信号動作



デジタル

非線形動作



アナログ

動作点のまわりの領域
非線形 → 線形近似

大信号等価回路と小信号動作回路

大信号
非線形動作

小信号
動作点のまわりの領域
非線形 → 線形近似
小信号パラメータ

直流成分 + 微小変化分